



Etude et réalisation d'un Convertisseur A/N d'architecture Sigma Delta à courants commutés

Sonia Boujelben

► To cite this version:

Sonia Boujelben. Etude et réalisation d'un Convertisseur A/N d'architecture Sigma Delta à courants commutés. Micro et nanotechnologies/Microélectronique. Université Bordeaux 1, 2001. Français. NNT: . tel-01216473

HAL Id: tel-01216473

<https://hal.science/tel-01216473>

Submitted on 19 Oct 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

par Mlle. Sonia BOUJELBEN

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

Etude et réalisation d'un Convertisseur A/N d'architecture Sigma Delta à courants commutés

Soutenue le : **20 décembre 2001**

Après avis de MM :

Y. BERTRAND
P. LOUMEAU

Professeur, LIRMM Montpellier
Habilitation à diriger des recherches, ENST Paris

Rapporteurs

Devant la commission d'examen formée de MM :

Y. BERTRAND
D. DALLE
A. GHAZEL
R. KIELBASA
P. LOUMEAU
Ph. MARCHEGAY
Ph. ROUX
A. TOUBOUL

Professeur, LIRMM Montpellier
Maître de conférences, ENSEIRB
Associate Professor, SUP'COM Tunis
Professeur, SUPELEC PARIS
Habilitation à diriger des recherches, ENST Paris
Professeur, ENSEIRB
Professeur, IUT GEIL, Bordeaux 1
Professeur, Université de Bordeaux 1

Rapporteur

Président

A mes parents, qu'ils sachent combien je leur suis reconnaissante.

A mes deux frères.

A tous ceux qui m'aiment.

REMERCIEMENTS

Les travaux de recherche présentés dans ce mémoire ont été réalisés au laboratoire d'étude de l'intégration des composants et systèmes électroniques IXL de l'Université de Bordeaux I, dirigé successivement par le Professeur Jean-Paul DOM et le Professeur André TOUBOUL. Je les remercie par leur accueil et leur soutien.

Je remercie le Professeur Philippe MARCHEGAY, directeur de la thèse, de m'avoir intégrée dans son groupe de recherche, d'avoir suivi avec intérêt l'avancement de mes travaux, son soutien et ses conseils ont été précieux pour la réalisation de ce travail et qu'il en soit vivement remercié.

Je remercie également Monsieur Dominique DALLET, Maître de conférence à L'ENSEIRB, pour son aide scientifique et son soutien moral, qu'il m'a apporté durant l'ensemble de mes travaux de thèse. Nos discussions furent toujours constructives et m'ont permis de sortir d'une situation de blocage.

Mes remerciements vont également à Messieurs P. LOUMEAU et Y. BERTRAND pour leurs lectures attentive et critique du mémoire, en tant que rapporteurs de cette thèse.

Je remercie vivement Messieurs A. GHAZEL, Ph. ROUX et R. KIELBASA pour l'intérêt qu'ils portent à ces travaux en acceptant de participer au jury de la thèse.

Mes plus vifs remerciements s'adressent également à Monsieur Chiheb REBAI pour son aide humain et l'encouragement qu'il m'a apportée durant ces dernières années, ainsi que pour ces conseils techniques efficaces qu'il m'a fourni et le temps qui l'a consacré pour m'aider à réaliser la partie numérique de mes travaux. Son dévouement n'aura été vain et j'espère que nous aurons à nouveau l'occasion de travailler ensemble.

Je retient à remercier Messieurs Regis DEVRESE et Patrick VILLESUZANNE, ingénieurs système du laboratoire, pour leurs compréhension, et leur support technique.

Que Messieurs Fahmi GHOUZI, Jean-Pierre et Maryse CANZANO trouvent ici l'expression de mes respectueux remerciements pour leur gentillesse qu'ils m'ont toujours témoignés pendant mon séjour à bordeaux.

Sommaire

TABLE DES MATIERES

<i>Introduction Générale</i>	1
<i>Chapitre I : Introduction à la technique des courants commutés</i>	7
INTRODUCTION	9
I- PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOS	9
I-1- Expressions analytiques du courant	9
I-2- Modèle petits signaux	12
I-3- Le MOSFET en porte analogique	12
II- LES BASES DE LA TECHNIQUE DES COURANTS COMMUTES	15
II-1- Le miroir de courant	15
II-2- La cellule mémoire de première génération SI	16
II-3- La cellule mémoire de deuxième génération SI	19
II-4- La cellule mémoire S^2I	20
III- LES BLOCS DE BASES DE LA TECHNIQUE S^2I DE COURANT COMMUTE	22
III-1- L'échantillonneur bloqueur et la ligne à retard	22
III-2- L'intégrateur S^2I généralisé sans perte	23
III-3- Le différentiateur ou dérivateur	24
IV- REDUCTION DE L'INFLUENCE DE L'INJECTION DE CHARGES DE LA CELLULE S^2I	25
IV-1- Erreur due au phénomène d'injection de charges	26
IV-2- Application à la cellule mémoire S^2I	28
IV-3- Réduction de l'erreur d'injection de charges de la technique S^2I	32
IV-3-1- Utilisation de deux cellules mémoire S^2I en cascade	32
IV-3-2- Utilisation d'une structure différentielle	33
IV-3-3- La cellule mémoire S^2I avec un circuit fantôme à miroir de courant	34
IV-3-4- La cellule mémoire S^2I avec un circuit fantôme	35
V- AMELIORATION DE LA PRECISION DE LA TECHNIQUE S^2I	37
V-1- Utilisation de la structure cascode	37
V-2- Utilisation de la structure cascode régulée	38
VI- AUTRES TYPES D'ERREURS DANS LA CELLULE S^2I	39
VI-1- Erreur due au temps d'établissement	39

VI-2- Erreur de gain	40
VI-3- Erreur du diviseur capacitif	42
CONCLUSION	43

Chapitre II : La conversion analogique-numérique Sigma Delta 45

INTRODUCTION	47
I- LA CONVERSION CLASSIQUE	47
II- LE SUR-ECHANTILLONNAGE	50
III- LA MODULATION $\Sigma\Delta$	53
III-1- Introduction	53
III-2- La Modulation Δ	53
III-3- La modulation $\Sigma\Delta$	55
IV- ETUDE TEMPORELLE DU MODULATEUR SIGMA DELTA DU PREMIER ORDRE	62
IV-1- Principe de fonctionnement	62
IV-2- Dynamique d'entrée	65
IV-2-1- Performance pour une entrée alternative	65
IV-2-2- Le niveau maximum de l'entrée	66
IV-2-3- Le niveau minimum de l'entrée	68
V- ETUDE COMPORTEMENTALE DU MODULATEUR $\Sigma\Delta$ DU SECOND ORDRE	69
V-1- Evolution de la sortie de l'intégrateur	69
V-2- Etude de la stabilité	73
V-3- Analyse spectrale du modulateur	80
V-3-1- Courbe de SNR en fonction de l'amplitude du signal d'entrée	81
IV- LA CHAÎNE DE DECIMATION	81
IV-1- Introduction	81
IV-2- Le filtrage numérique	82
IV-2-1- Les filtres RIF	82
IV-2-2- Les filtres RII	84
IV-3- La décimation	84
IV-3-1- Le filtre sinus cardinal	85
IV-3-2- Le filtre "sharpned"	87
IV-3-3- Le filtre demi bande	88
CONCLUSION	91

Chapitre III : Modélisation et simulation des circuits à courants commutés en vue de la conception d'un modulateur Sigma Delta _____ 93

INTRODUCTION	95
I- MODELISATION ET SIMULATION DES CELLULES MEMOIRES	95
I-1- Simulation de la cellule mémoire SI et S ² I	95
I-1-1- Calcul de l'erreur de mémorisation des deux cellules mémoires SI et S ² I	98
I-1-2- Calcul de l'erreur due au rapport fini des conductances d'entrée et de sortie des deux cellules mémoires SI et S ² I	99
I-1-3- Calcul de l'erreur d'injection de charges des deux cellules mémoires SI et S ² I	99
I-2- Etude du modèle de la cellule mémoire SI	100
I-3- Etude du modèle de la cellule S ² I	101
I-4- Etude du comportement des modulateurs SI et S ² I	102
I-4-1- Etude comparative	103
II- LES DIFFERENTES STRUCTURES DE L'INTEGRATEUR S ² I	106
II-1- Principe de l'intégrateur S ² I	107
II-2- Intégrateur S ² I non inverseur	107
II-3- Intégrateur S ² I inverseur	109
II- 4- Intégrateur S ² I symétrique	111
II-5- Intégrateur S ² I différentiel bilinéaire	112
II- 6- Intégrateur S ² I pseudo bilinéaire différentiel	115
III- COMPAREUR DE COURANT	117
III-1- Compareur de courant basé sur l'inverseur logique	117
III-2- Compareur à miroir de courant	118
III-3- Compareur de courant à contre réaction en classe B	118
III-4- Compareur de courant à contre réaction positive en classe AB	120
IV- CONVERTISSEUR NUMERIQUE ANALOGIQUE	123
V- GENERATION DES SIGAUX DE COMMANDES	124
VI- ARCHITECTURE DU MODULATEUR SIGMA DELTA	128
VII-TEST DU MODULATEUR EXPERIMENTAL	129
VII-1- Le circuit modulateur $\Sigma\Delta$ du second ordre	129
VII-2- Banc de test	131
VII-3- Caractérisation du modulateur	132
VII-4- La courbe SNR	135
CONCLUSION	136

*Chapitre IV : Simulation et Conception du filtre décimateur*_____137

INTRODUCTION _____	139
I-PRINCIPE DE LA DECIMATION _____	139
II- STRUCTURES DE DECIMATION _____	141
II-1- Décimation en deux étages _____	141
II-2- Décimation en trois étages _____	142
III- ETUDE COMPARATIVE ENTRE LES DIFFERENTES REALISATIONS DU PREMIER ETAGE _____	143
III-1- Le filtre sinus cardinal _____	143
III-2- Le filtre sinus cardinal modifié _____	144
III-3- Le filtre sinus cardinal « sharpened » ou rectangularisé _____	145
IV- STRUCTURES PROPOSEES POUR LA REALISATION DU FILTRE DE DECIMATION _____	146
IV-1- La structure 1 : La cascade des deux filtres sinus cardinaux _____	146
IV-2- La structure 2 : le filtre sinus cardinal cascadi avec deux filtres FIR _____	148
IV-3- La structure 3 : le filtre sinus cardinal cascadi de deux filtres demi-bande _____	151
IV- 4- Conclusion _____	156
V- CONCEPTION DU FILTRE DE DECIMATION _____	157
V-1- Choix du nombre de bits _____	157
V-2- Largeur des registres _____	157
V-3- Troncature et arrondi _____	159
VI- SIMULATION ET REALISATION _____	161
VI-1- Le filtre sinus cardinal _____	162
VI-1-1-. L'intégrateur _____	162
VI-1-2- Le dérivateur _____	163
VI-1-3- La complémentation _____	164
VI-1-4- La décimation : les horloges _____	164
VI-1-5- simulation globale _____	165
VI-2 Le filtre Compensateur _____	167
VI-3- Le filtre demi bande 1 _____	168
VI-4- Le filtre demi bande 2 _____	169
VI-6- Le filtre décimateur total _____	170
VI-7- Résultats de simulation de la chaîne de conversion $\Sigma\Delta$ _____	171
CONCLUSION _____	176

<i>Conclusion Générale</i>	177
----------------------------	-----

<i>Références Bibliographique</i>	181
-----------------------------------	-----

<i>Annexe A</i>	191
-----------------	-----

<i>Annexe B</i>	201
-----------------	-----

<i>Annexe C</i>	207
-----------------	-----

Introduction Générale

D'année en année, la diminution de la taille des transistors dans les procédés de fabrication CMOS permet une intégration de plus en plus grande des systèmes numériques. Certaines fonctions comme le filtrage, jusqu'alors réalisées de manière analogique, sont maintenant traitées numériquement sur un seul circuit intégré. Cette évolution requiert la présence d'une interface analogique numérique en entrée ainsi que d'une interface numérique analogique en sortie pour communiquer avec le monde extérieur. Afin d'être compétitive par rapport au tout analogique, cette solution nécessite l'intégration de ces deux types d'interfaces et de la partie du traitement numérique sur un seul circuit. La technique communément utilisée sur les applications commerciales pour réaliser les interfaces analogiques numériques est celle des capacités commutées. Toutefois cette méthode est difficilement compatible avec un procédé technologique CMOS digital puisqu'elle nécessite des capacités linéaires flottantes. Ce type de capacités est réalisé essentiellement de deux manières :

- Avec deux couches de polysilicium, ce qui ajoute des étapes de fabrication supplémentaires et donc un coût du circuit plus élevé.
- En faisant un empilement poly-métal1-métal2, ce qui procure une capacité linéaire flottante dont la composante parasite vers la masse peut atteindre la moitié de sa valeur. La valeur faible de la capacité vis à vis de la surface augmente considérablement la taille du circuit.

Une alternative à cette technique, qui est celle des courants commutés, présente l'avantage de ne pas nécessiter de capacités flottantes. Elle est donc totalement compatible avec un procédé de fabrication CMOS digital. Un autre avantage vient du fait que la précision d'un intégrateur réalisé en courant commuté ne repose sur aucun appareillage de transistors ou de capacités. De plus, comme le signal est véhiculé sous forme de courant, sa dynamique n'est pas limitée par la tension d'alimentation. La tendance actuelle de baisser les tensions d'alimentation, suite aux applications fonctionnant sur batterie et aux tensions de claquage des transistors plus faibles, rend cette nouvelle technique encore plus intéressante.

La réalisation d'interfaces analogiques numériques utilisant la technique des courants commutés a fait l'objet de nombreux travaux de recherche récents. Les études sur les convertisseurs analogiques numériques se divisent essentiellement en deux tendances, les convertisseurs algorithmiques cycliques ou pipelines et les convertisseurs sur-échantillonnés, essentiellement les modulateurs Sigma Delta.

Dans le domaine des convertisseurs sur-échantillonnés, la réalisation de modulateurs Sigma-Delta rapides semble possible, par exemple, un convertisseur Sigma Delta du quatrième ordre ayant une précision de 9 bits pour une bande passante de 625 kHz a été réalisée dans un procédé CMOS 0.8 μ m. Par contre, l'étude de convertisseurs analogiques numériques sur-échantillonnés de haute précision à base de cellules à mémoire de courant n'a pas encore vraiment abouti.

Ces travaux de thèse, effectués au sein de l'équipe Télécommunication Circuit et Système, sont consacrés à l'étude de la technique des courants commutés pour la conversion

analogique numérique à sur-échantillonnage. L'étude de convertisseurs analogiques numériques comprend deux niveaux : l'étude des architectures et la conception de circuits. Les différentes architectures existantes pour la conversion analogique numérique peuvent être réalisées à partir des deux techniques : capacités commutées ou courants commutés. Dans cette thèse, la technique des courants commutés a été étudiée dans le contexte de la conversion analogique numérique Sigma Delta dont le principe est basé sur le sur-échantillonnage du signal analogique et la mise en forme du bruit de quantification. L'examen de l'état de l'art de la technique des courants commutés, au début de la thèse a montré que la cellule mémoire S^2I est une solution pour améliorer les performances de la cellule mémoire SI. Cependant, les performances et les défauts de cette cellule mémoire ont un impact direct sur les performances du modulateur Sigma Delta. Deux autres blocs élémentaires sont également étudiés lors des applications de la conversion, à savoir l'intégrateur et le comparateur de courant.

La deuxième partie de nos travaux concerne la chaîne de décimation. En sortie du modulateur, la fréquence des données étant élevée, un sous-échantillonnage est alors nécessaire pour revenir à la fréquence de Nyquist. Une étude des différentes structures de filtres est effectuée ; la structure multi-étage a été retenue car elle réduit considérablement la complexité du filtre de décimation.

Cette thèse est organisée en quatre chapitres dont le premier est consacré à la présentation de la technique des courants commutés. Un état de l'art des circuits réalisés utilisant la technique S^2I est également présenté. Dans la dernière partie de ce chapitre, les différents problèmes rencontrés dans les circuits à courants commutés S^2I et les solutions proposées dans la littérature sont abordés.

Dans le Chapitre2, tout d'abord nous décrivons le principe de la conversion analogique numérique Sigma Delta. Ensuite une étude temporelle du premier ordre et une analyse de stabilité du deuxième ordre en fonction de l'évolution des sorties des deux intégrateurs sont présentées. Enfin, nous décrivons le principe de la chaîne de décimation et les différents blocs du filtre décimateur.

Nous consacrons le Chapitre3 à la modélisation et la simulation des circuits à courants commutés en vue de la conception d'un modulateur Sigma Delta. Ce chapitre débute par une présentation générale des caractéristiques des deux cellules mémoires SI et S^2I et leur comportement par rapport au modulateur Sigma Delta du second ordre. Les différents blocs qui constituent le modulateur $\Sigma\Delta$ sont détaillés et simulés, ainsi que l'architecture adoptée en mode courant pour l'intégration sur une puce en technologie CMOS 0.6 μ m en triple niveau

du métal. A la fin de ce chapitre, nous décrivons le banc de test de ce modulateur et les différents résultats de mesures.

Enfin dans le Chapitre 4, nous présentons la simulation et la conception du filtre décimateur proposé. Le principe du filtrage numérique est décrit et les simulations des différents blocs qui constituent la chaîne de décimation sont réalisées sous l'environnement MATLAB. Une description comportementale du circuit de décimation est réalisée dans un fichier VHDL et le résultat de test du convertisseur Sigma delta est également présenté.

Introduction à la technique des courants commutés

INTRODUCTION

La technologie Métal Oxyde Semi conducteur (MOS) [All-87] a été développée pour la conception des circuits numériques en VLSI (Very Large Scale Intégration). Cette technologie à été utilisée, au départ, pour la conception de microprocesseurs et de mémoires.

Ces dernières années, la technologie MOS a beaucoup progressé permettant l'intégration de systèmes avec des fonctions analogiques et numériques. L'utilisation des transistors MOS pour la réalisation et la conception des fonctions analogiques engendre de nombreux compromis et présente un grand défi.

Pour les systèmes analogiques, tels que, les amplificateurs opérationnels, les comparateurs et les tensions de références, les performances sont inférieures à leur équivalent en bipolaire. Par contre, cette technologie est mieux maîtrisée et présente un grand intérêt au niveau de la fabrication, car elle nécessite une surface moins importante que celle de la technologie bipolaire.

I- PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOS

La configuration Métal Oxyde Semi-conducteur (MOS) permet de contrôler le phénomène de conduction entre deux électrodes (drain et source) par un champ électrique produit par une tension appliquée sur une troisième électrode appelée grille. Il existe deux types de transistors MOS ou MOSFET. Dans notre étude, nous nous intéressons au fonctionnement du transistor MOSFET à enrichissement dont la représentation symbolique est la suivante :

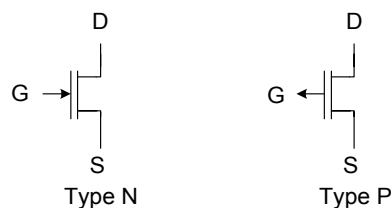


Figure I- 1 : Les symboles du transistor à enrichissement.

Aucun canal n'existe entre la source et le drain pour une polarisation nulle de la grille. Le courant est donc nul entre la source et le drain. Pour qu'un courant prenne naissance, il est nécessaire de créer ce canal en appliquant une polarisation adéquate sur la grille.

I-1- Expressions analytiques du courant

Nous allons décrire, les expressions analytiques des courants dans les deux zones de fonctionnement du transistor NMOS à enrichissement.

- **Région ohmique :**

La région ohmique est appelée aussi région de non-saturation ou de triode. La conductivité du canal est commandée par la tension V_{DS} . La région ohmique étant définie par $V_{GS}-V_T > V_{DS}$ (où $V_{GD} = V_{GS}-V_{DS} > V_T$). Selon l'analyse théorique de la région ohmique, la caractéristique du drain est donnée par :

$$I_D = \frac{\mu_n C_{ox} W}{2L} (2(V_{GS} - V_T)V_{DS} - V_{DS}^2) \quad \text{Eq I- 1}$$

où L et W désignent, respectivement, la longueur et la largeur du canal, μ_n la mobilité des porteurs dans le canal, C_{ox} la capacité de la grille par unité et V_T la tension de seuil qui dépend de C_{ox} , des densités de dopage du drain et de la source de type N et du substrat de type P.

- **Région de saturation :**

Idéalement, I_D est constant et indépendant de V_{DS} dans la région de saturation pour laquelle $V_{GS}-V_T < V_{DS}$. Le courant I_D ne dépend que de la tension effective $V_{GS}-V_T$ de commande selon l'équation suivante :

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 \equiv I_{DS} \quad \text{Eq I- 2}$$

L'ajout de l'indice S à I_D indique qu'on considère le courant de saturation du drain dans cette région. La ligne de démarcation, entre la région ohmique et celle de saturation est donnée par $V_{GS}-V_T = V_{DS}$. Le remplacement de V_{DS} par cette valeur dans l'équation (Eq I-2) nous donne l'équation (Eq I-3). La courbe en pointillée représentées sur la figure I-2 indique la frontière entre la région ohmique et celle de saturation, son équation est :

$$I_D = \frac{\mu_n C_{ox} W}{2L} V_{DS}^2 \quad \text{Eq I- 3}$$

Le rapport (W/L) joue un rôle fondamental en conception, il sert de facteur d'échelle pour le courant de drain. On peut fabriquer sur une même puce des MOSFET à même tension de seuil V_T qui possèdent des courants drains sources différents en fonction des rapports de leurs dimensions. Dans les procédés de fabrication classiques, on a:

$$10\mu A/V^2 \leq \frac{\mu_n C_{ox}}{2} \leq 50\mu A/V^2 \quad \text{Eq I- 4}$$

La figure I-2 représente les caractéristiques courant-tension, tirées des équations Eq I-1 et Eq I-2, d'un transistor MOS à enrichissement à canal N. On obtient la ligne de démarcation entre les régions ohmique et de saturation, représentée à la figure I-2, en traçant la parabole de l'équation Eq I-3.

La caractéristique de transfert d'un transistor MOS est la courbe représentative de I_D en fonction de V_{DS} à V_{GS} constant dans la région de saturation.

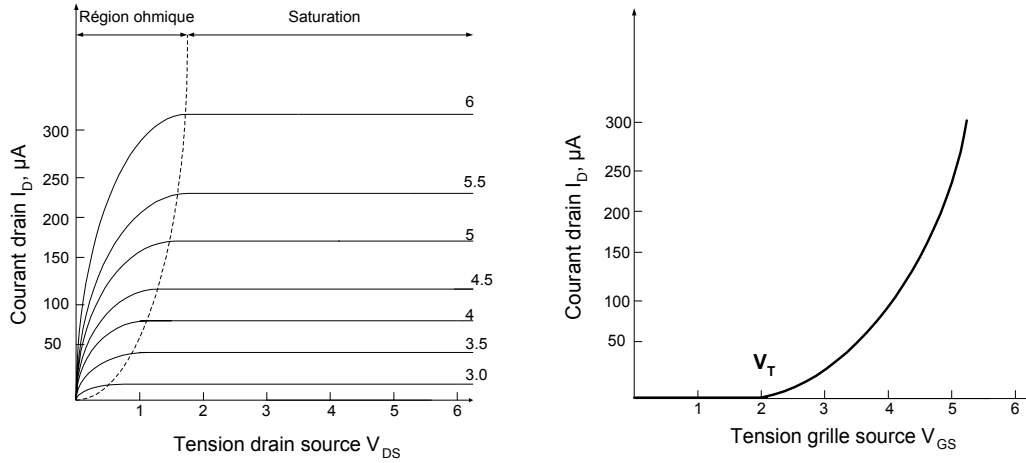


Figure I- 2 : Caractéristique de sortie d'un NMOS à enrichissement.

En réalité, I_D augmente légèrement avec V_{DS} dans la région de saturation en raison de la modulation de longueur du canal, effet analogue à la modulation de largeur de base d'un transistor bipolaire. Les vraies caractéristiques prolongées dans le deuxième quadrant (figure I- 3) se coupent à $V_{DS} = -1/\lambda$; la grandeur $1/\lambda$ est appelée tension d'Early.

L'expression du courant est alors donnée par :

$$I_{DS} = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{Eq I- 5}$$

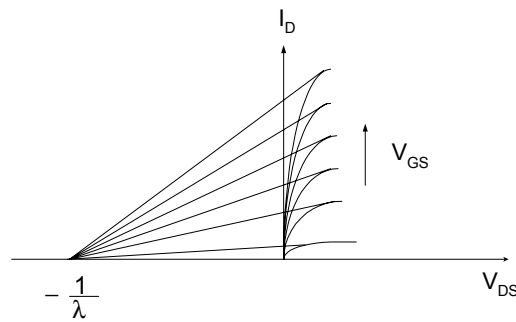


Figure I- 3 : Effet de la modulation due longueur du canal.

Remarque : Un MOSFET de même type, avec un canal de type P, présente des caractéristiques semblables, mais les courants et les tensions appliqués sont de signes opposés. Cependant, comme la mobilité des trous responsables de la conduction dans le canal P est environ deux fois plus faible que celle des électrons du canal N, pour obtenir des

caractéristiques complémentaires aux même conditions de polarisation, il faut que le PMOS ait un rapport (W/L) deux fois plus grand.

I-2- Modèle petits signaux

En régime dynamique (AC), le schéma équivalent en petits signaux est donné ci-dessous :

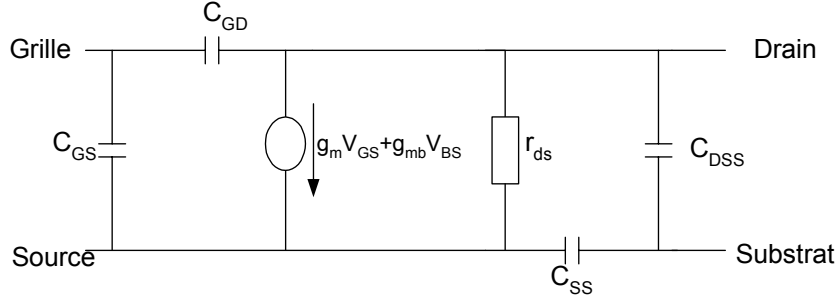


Figure I- 4 : Schéma équivalent du MOSFET en petits signaux.

Dans ce schéma, g_m est la pente ou la transconductance. Son expression est donnée par :

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\mu_n C_{ox} W}{L} (V_{GS} - V_T) \quad \text{Eq I- 6}$$

r_{ds} est la résistance différentielle entre le drain et la source :

$$\frac{1}{r_{ds}} = \frac{\partial I_{DS}}{\partial V_{DS}} \approx \lambda I_{DS} \quad \text{Eq I- 7}$$

Ce sont les deux éléments les plus importants dont on doit en tenir compte en priorité lors d'une approximation en basse fréquence. C_{GS} désigne la capacité grille source, son expression est donnée par :

$$C_{GS} = W(L - 2L_D)C_{ox} \quad \text{Eq I- 8}$$

et C_{ss} représente la capacité substrat source, son expression est donnée par :

$$C_{SS} = \frac{W(L - 2L_D)}{\left(1 - \frac{V_{BS}}{\Phi_B}\right)} C_{j0} \quad \text{Eq I- 9}$$

L_D : La longueur de la diffusion latérale sur la longueur du canal.

Φ_B : Le potentiel de Fermi.

I-3- Le MOSFET en porte analogique

Le transistor MOS est fréquemment utilisé comme interrupteur permettant l'échantillonnage de signaux analogiques. Deux caractéristiques fondamentales font du MOSFET un interrupteur "idéal" :

- le composant ne présente pas une tension d'offset, la caractéristique $I_D=f(V_{DS})$ passe par l'origine ;
- l'électrode de commande (la grille) est isolée électriquement du signal à transmettre.

Le schéma de principe est représenté ci-dessous :

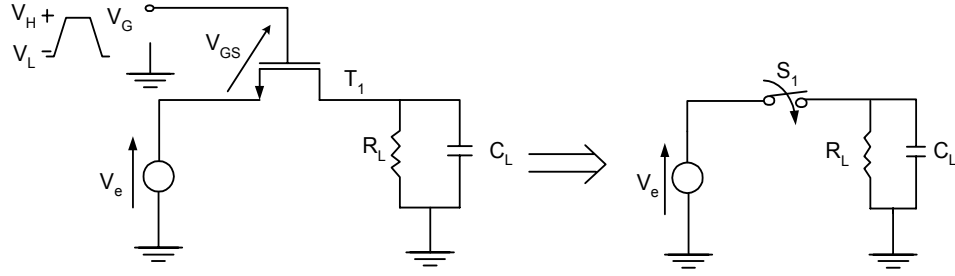


Figure I- 5 : Le transistor MOS comme interrupteur idéal.

Si on suppose que la tension d'entrée est sinusoïdale de la forme :

$$V_e = E \sin(2\pi ft) \quad \text{Eq I- 10}$$

et si la tension de grille $V_G = V_L$ est négative, alors :

$$V_{GS} = V_L - V_e \begin{cases} V_e < 0, V_e = -E, \Rightarrow V_{GS} = V_L + E \\ V_e > 0, V_e = E, \Rightarrow V_{GS} = V_L - E \end{cases} \quad \text{Eq I- 11}$$

Si V_L est suffisamment négative, alors la tension V_{GS} est inférieure à la tension de seuil ($V_{GS} < V_T$). Dans les deux cas le MOSFET est bloqué, l'interrupteur est alors équivalent à un circuit ouvert.

Si la tension de grille $V_G = V_H$ est positive, alors :

$$V_{GS} = V_H - V_e \begin{cases} V_e < 0, V_e = -E, \Rightarrow V_{GS} = V_H + E \\ V_e > 0, V_e = E, \Rightarrow V_{GS} = V_H - E \end{cases} \quad \text{Eq I- 12}$$

Si de plus V_H est suffisamment positive, alors la tension V_{GS} est supérieure à la tension de seuil ($V_{GS} > V_T$). Dans les deux cas le MOSFET est passant, l'interrupteur est alors équivalent à une résistance finie r_{ds} .

En réalité, des éléments parasites associés causent un dysfonctionnement dû aux non-idéalités de l'interrupteur qui se manifestent par des courants de fuites et des chutes de tensions.

On peut citer comme éléments parasites :

- Les capacités entre les différentes régions du composant C_{GS} , C_{GD} , C_{SB} , C_{DB} .

- La résistance finie r_{ds} du canal, lorsque le MOSFET est conducteur.

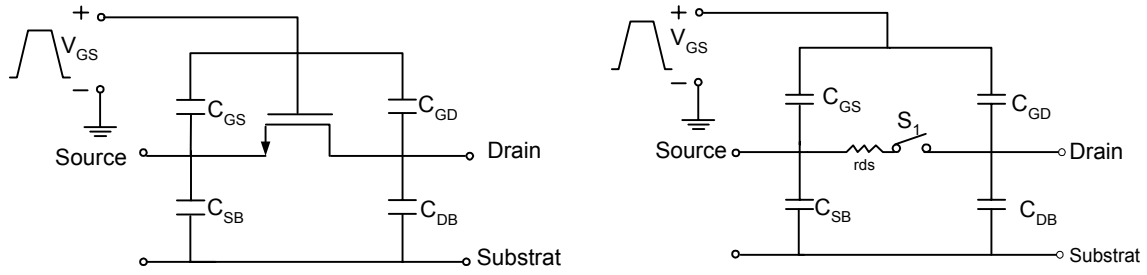


Figure I- 6 : L'interrupteur non idéal avec un transistor MOS.

L'expression de la résistance finie r_{ds} du canal lorsque le transistor est conducteur dans sa région ohmique est égale à :

$$r_{ds} = \left(\frac{\partial I_D}{\partial V_{DS}} \right)_{V_{DS}=0}^{-1} = \frac{1}{\mu_n C_{ox} \frac{W}{L}} \frac{1}{(V_{GS} - V_T)} \quad \text{Eq I- 13}$$

On en déduit que cette résistance est l'inverse de la pente du transistor MOS, dans sa région de saturation, en appliquant la même tension grille source.

$$r_{ds} = \frac{1}{g_m} \quad \text{Eq I- 14}$$

où g_m est la transconductance du transistor.

Pour diminuer la résistance r_{ds} , on doit augmenter le rapport (W/L) , mais de ce fait, les capacités augmentent proportionnellement. De même, si la tension grille source est augmentée ($V_{GS} \geq V_T$) pour diminuer r_{ds} , on augmente les courants de fuites provenant du signal de commande à travers C_{GS} et C_{GD} .

Pour un élément de petite taille ($W/L \approx 1$), le courant de fuite entre le drain et la source est de l'ordre de 1 pA quand le transistor est bloqué. Dans la région passante, la résistance est de l'ordre du k Ω . Cette résistance est non linéaire, elle est fonction des tensions appliquées et de la température; on devra donc tenir compte de ces caractéristiques lors de son utilisation.

Dans la conception des circuits intégrés MOS, ces portes analogiques (switch) sont utilisées pour échantillonner des tensions ou pour transférer des charges entre condensateurs sur la puce. La gamme de variation des ces condensateurs est de 1 à 100 pF, ainsi les constantes de temps dues aux valeurs de r_{ds} ne présentent pas de problèmes. Par exemple, un interrupteur ayant une r_{ds} de valeur égale à 1 K Ω chargeant une capacité de 100 pF présente un temps d'établissement inférieur à 1 μ s à 0.01% de la valeur finale. Cette vitesse est acceptable pour beaucoup d'applications analogiques.

II- LES BASES DE LA TECHNIQUE DES COURANTS COMMUTES

La technologie Métal Oxyde Semi-conducteur (MOS) a permis la réalisation de circuits analogiques en temps continu destinés à des applications hautes fréquences, mais à faible précision. Par contre, en temps discret, elle est destinée à des applications dans le domaine des basses fréquences et de haute précision. La technique des capacités commutées est utilisée depuis deux décennies pour le traitement du signal analogique en temps discret. Cette technique est basée sur l'utilisation de capacités, d'interrupteurs et d'amplificateurs opérationnels pour réaliser des intégrateurs, des filtres et des convertisseurs analogiques numériques et numériques analogiques.

Toutefois, cette technique se trouve confrontée à des inconvénients majeurs qui limitent ces circuits, à savoir :

- La fréquence d'échantillonnage des circuits à capacités commutées limitée par la bande passante des amplificateurs opérationnels MOS, limitant ainsi la fréquence du signal analogique à traiter.
- L'utilisation de capacités flottantes, à double armature en poly-silicium qui n'est pas compatible avec le processus de fabrication des circuits intégrés logiques, et qui nécessite des étapes de fabrication supplémentaires.

Vers la fin des années 80, une nouvelle technique, dite à courants commutés, a été proposée comme solution aux obstacles technologiques de la technique à capacités commutées. Dans cette technique, l'information analogique est véhiculée sous la forme de courant et les applications à des systèmes à courants commutés seront identiques à celles des capacités commutées.

A l'origine, la technique des courants commutés a été développée pour des circuits conçus avec la technologie CMOS, parce qu'elle était la plus employée dans la réalisation de circuits à faible puissance et à grande densité d'intégration.

II-1- Le miroir de courant

Le miroir de courant est l'élément de base des circuits en mode courant, il est très utilisé dans les circuits intégrés analogiques. La figure (I-7) montre la configuration de base du miroir de courant type NMOS. Le transistor M1 est connecté en diode pour fixer la même tension Grille-Source aux bornes des deux transistors M1 et M2 et reproduire un courant constant I_s à travers le transistor M2.

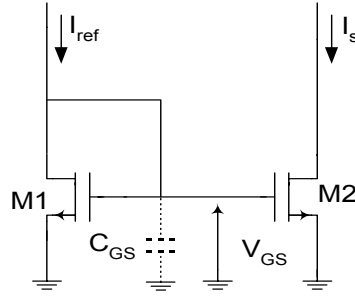


Figure I- 7 : Miroir de courant.

Le courant I_{ref} est donné par :

$$I_{ref} = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1} - V_{T1})^2 \quad \text{Eq I- 15}$$

où μ_n désigne la mobilité des électrons dans le canal, C_{ox} la capacité de la grille par unité de surface, et W_1 et L_1 la largeur et la longueur respectives du transistor M1.

Tandis que le courant de sortie traversant M2 est donné par :

$$I_s = \frac{\mu_n C_{ox} W_2}{2L_2} (V_{GS2} - V_{T2})^2 \quad \text{Eq I- 16}$$

Sachant que $V_{GS1} = V_{GS2}$ et que les tensions de seuils V_{T1} et V_{T2} sont identiques pour M1 et M2, le rapport entre les deux courants est donné par :

$$\frac{I_s}{I_{ref}} = \frac{\left(\frac{W_2}{L_2} \right)}{\left(\frac{W_1}{L_1} \right)} = \frac{(W_2 L_1)}{(W_1 L_2)} \quad \text{Eq I- 17}$$

Cette équation montre comment ajuster le rapport W/L des deux transistors pour obtenir le courant de sortie désiré. Si les deux MOSFETs ont les mêmes dimensions, le même courant traversera chaque MOSFETs.

En se basant sur cette structure, on peut concevoir des circuits à courants commutés. Ceci est réalisé en ajoutant un interrupteur entre les deux transistors M1 et M2, ce qui nous mène à la cellule mémoire de première génération [Hug- 89].

II-2- La cellule mémoire de première génération SI

La cellule mémoire de première génération [Hug-89] est illustrée à travers la figure I-8. Elle consiste essentiellement en un miroir de courant avec un interrupteur de contrôle S_1 .

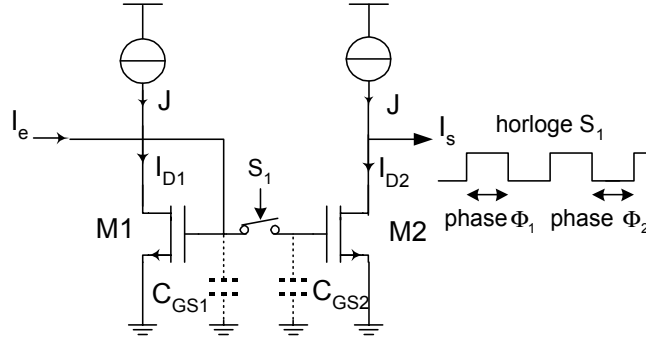


Figure I- 8 : La cellule mémoire de première génération.

Pendant la phase Φ_1 , l'interrupteur S_1 est fermé, le circuit fonctionne comme un miroir de courant classique. Les expressions des courants dans les transistors M1 et M2 s'écrivent :

$$I_{D1} = J + I_e = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1} - V_{T1}) \quad \text{Eq I- 18}$$

$$I_{D2} = J - I_s = \frac{\mu_n C_{ox} W_2}{2L_2} (V_{GS2} - V_{T2}) \quad \text{Eq I- 19}$$

Si $\frac{W_1}{L_1} = \frac{W_2}{L_2}$ et $V_{T1} = V_{T2}$ alors $I_{D1} = I_{D2}$ et $I_s = -I_e$

Pendant la deuxième phase Φ_2 , l'interrupteur S_1 est ouvert et la capacité C_{GS2} maintient la tension grille source correspondante à $V_{GS1}(\Phi_1)$ de la phase précédente Φ_1 . L'expression du courant de sortie devient alors :

$$I_s(t) = -I_e(t_{\epsilon \Phi_1}) \quad \text{Eq I- 20}$$

où $t_{\epsilon \Phi_1}$ désigne l'instant où l'horloge passe de la phase Φ_1 à la phase Φ_2 .

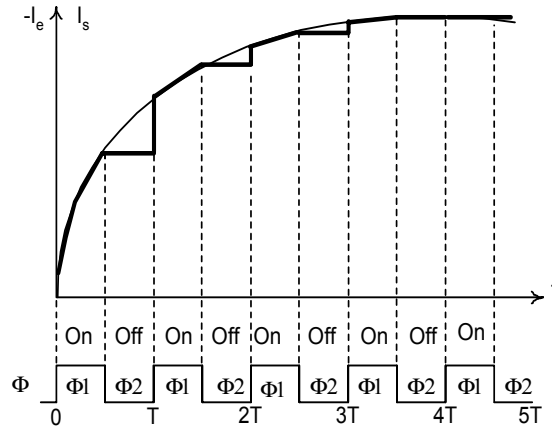


Figure I- 9 : Signaux d'entrée et de sortie d'une cellule première génération.

Le courant de sortie I_s de la cellule mémoire de première génération, suit les variations de I_e pendant la première phase. Ensuite, il échantillonne et bloque la valeur de I_e pendant la deuxième phase comme le montre la figure I-9. Ce circuit fonctionne en fait comme un suiveur-bloqueur.

Si la commande de l'interrupteur S_1 est un créneau de période T et de rapport cyclique $1/2$, le courant de sortie discrétisé aux instants nT , est :

$$I_s(n.T) = -I_e\left(n.T - \frac{T}{2}\right) \quad \text{Eq I- 21}$$

La cellule mémoire introduit donc un retard égal à $T/2$ avec inversion de signe et la fonction de transfert en Z est donnée par :

$$\frac{I_s(Z)}{I_e(Z)} = -Z^{-1/2} \quad \text{Eq I- 22}$$

On voit tout de suite que l'erreur de désaccord entre les transistors M1 et M2 de la cellule mémoire de première génération est le défaut principal qui dégrade la bonne recopie du courant. Cette erreur de désaccord est due au processus technologique et aux variations des paramètres physiques, telles que la tension de seuil V_T , la transconductance ($\beta = \frac{\mu_n C_{ox} W}{L}$) et la modulation de longueur du canal λ . On suppose que $V_{DS1} \approx V_{DS2}$ est maintenue approximativement constante. Ces différentes erreurs de désaccord sont exprimées comme suit:

$$\beta_2 = \beta_1 + \Delta\beta, V_{T2} = V_{T1} + \Delta V_T \text{ et } \lambda_2 = \lambda_1 + \Delta\lambda$$

Les courants de drain peuvent être écrits comme suit :

$$I_{D1} = J + I_e = \frac{\beta_1}{2} (V_{GS} - V_{T1})^2 (1 + \lambda_1 V_{DS1}) \quad \text{Eq I- 23}$$

$$I_{D2} = J - I_s = \frac{\beta_1 + \Delta\beta}{2} (V_{GS} - (V_{T1} + \Delta V_T))^2 (1 + (\lambda_1 + \Delta\lambda) V_{DS1}) \quad \text{Eq I- 24}$$

Le rapport de ces deux expressions donne :

$$(1 + \epsilon) = \frac{I_{D2}}{I_{D1}} = \left(1 + \frac{\Delta\beta}{\beta_1}\right) \left(1 + \left[\frac{\Delta V_T}{V_{GS} - V_{T1}}\right]^2 - 2 \frac{\Delta V_T}{V_{GS} - V_{T1}}\right) \left(1 + \frac{\Delta\lambda V_{DS1}}{1 + \lambda_1 V_{DS1}}\right) \quad \text{Eq I- 25}$$

où ϵ exprime l'erreur de désaccord.

On donne alors l'expression $I_s = f(I_e)$ en fonction de ϵ :

$$I_s = -(1 + \epsilon) I_e - \epsilon J \quad \text{Eq I- 26}$$

On peut constater que cette erreur de désaccord cause des erreurs de gain et d'offset. Ceci a conduit à la création de la cellule mémoire de deuxième génération [Hug- 90-1].

II-3- La cellule mémoire de deuxième génération SI

La cellule mémoire de deuxième génération est constituée de trois interrupteurs, d'une source de courant et d'un seul transistor mémoire M1 de manière à éviter les problèmes d'appariement entre transistors. Le cycle de fonctionnement de la cellule mémoire de courant de deuxième génération se compose de deux phases : une phase d'acquisition (figure I-10-a) et une phase de restitution (figure I-10-b). La figure I-10 représente son schéma de principe.

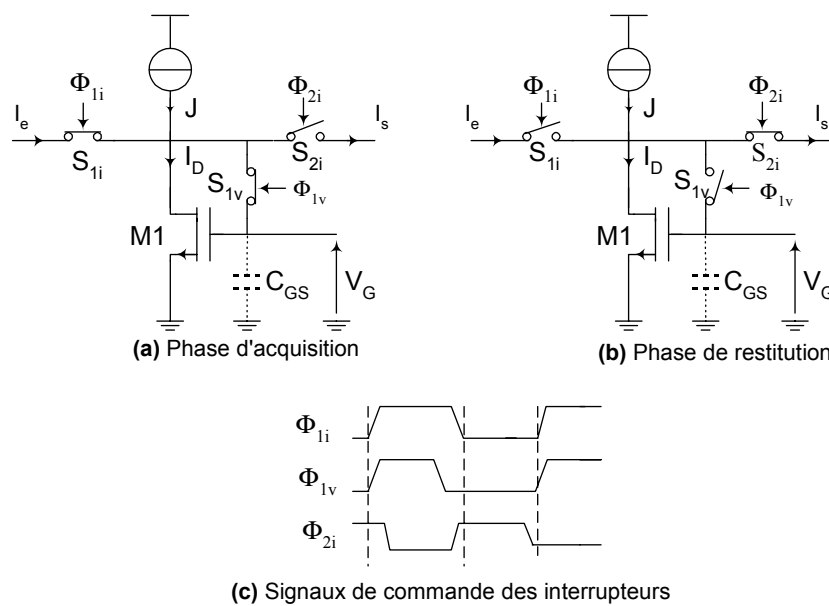


Figure I- 10 : Schéma de principe de la cellule mémoire de deuxième génération.

Les interrupteurs S_{1i} et S_{2i} sont des interrupteurs de courant, ils permettent l'acquisition ou la restitution du signal analogique dans la cellule mémoire. Leurs signaux de commande Φ_{1i} , Φ_{2i} doivent être tels qu'à tout moment le courant circule dans le transistor mémoire et soient en opposition de phase tout en se chevauchant.

L'interrupteur S_{1v} est un interrupteur de tension permettant de connecter le transistor mémoire en diode pendant la mémorisation. Son signal de commande doit passer à l'état haut simultanément ou un peu avant le passage à l'état haut de Φ_{1i} et à l'état bas de Φ_{2i} afin d'assurer une bonne acquisition du courant d'entrée et pour que ce dernier ne soit pas dévié dans une branche d'impédance plus faible.

Pendant la phase d'acquisition, les interrupteurs S_{1i} et S_{1v} sont fermés et l'interrupteur S_{2i} est ouvert. La capacité de la grille se charge à la tension exigée par le transistor M1 pour assurer un courant de drain égal à la somme des courants d'entrée I_e et de polarisation J :

$$I_D = I_e + J \quad \text{Eq I- 27}$$

Pendant la phase de restitution, les interrupteurs S_{1i} et S_{1v} sont ouverts et l'interrupteur S_{2i} est fermé. Le transistor M1 se comporte alors comme un générateur de courant capable de débiter un courant égal à la somme des courants d'entrée I_e et de polarisation J grâce au maintien de V_{GS} à travers C_{GS} . Le courant de sortie I_s , est ainsi égal à l'opposé du courant d'entrée I_e , retardé d'une demi-période d'échantillonnage :

$$I_s = J - I_D = J - (J + I_e) \quad \text{Eq I- 28}$$

$$I_s = -I_e \quad \text{Eq I- 29}$$

$$\frac{I_s(z)}{I_e(z)} = -z^{-1/2} \quad \text{Eq I- 30}$$

Le courant ainsi restitué est totalement indépendant de tout appariement des transistors et de la linéarité de la capacité de mémorisation C_{GS} .

La cellule mémoire de deuxième génération constitue la cellule mémoire de base de la technique à courant commuté. Celle ci permet de s'affranchir de la condition d'appariement parfait qu'impose la cellule mémoire de première génération pour obtenir une bonne précision de recopie. Mais un autre problème est engendré par l'interrupteur S_{1v} à la fin de phase d'acquisition. En effet, l'ouverture de cet interrupteur cause un écoulement de charges dans le transistor mémoire M1, ce qui cause une variation de potentiel δV_{GS} , engendrant une erreur sur le courant de drain I_D dite erreur d'injection de charge δI_{inj} . Le courant de sortie de la cellule mémoire de deuxième génération est affecté par cette erreur et son expression est donnée par :

$$I_s = -I_e + \delta I_{inj} \quad \text{Eq I- 31}$$

John Hughes et Kenneth Moulding [Hug-93] ont proposé une nouvelle structure dérivée de la cellule mémoire de deuxième génération. C'est la cellule mémoire S^2I qui est la solution permettant de diminuer l'erreur d'injection de charge qui dépend du signal d'entrée.

II-4- La cellule mémoire S^2I

La cellule mémoire S^2I , proposée par J.Hughes [Hug-93] est une dérivée de la cellule mémoire de deuxième génération SI à laquelle une autre capacité de mémorisation ainsi que deux interrupteurs sont ajoutés. Le chronogramme des horloges de la phase d'acquisition est modifié puisqu'il faut deux phases lors de l'acquisition au lieu d'une seule. La cellule mémoire S^2I et les signaux de commandes sont illustrés à travers la figure I-11.

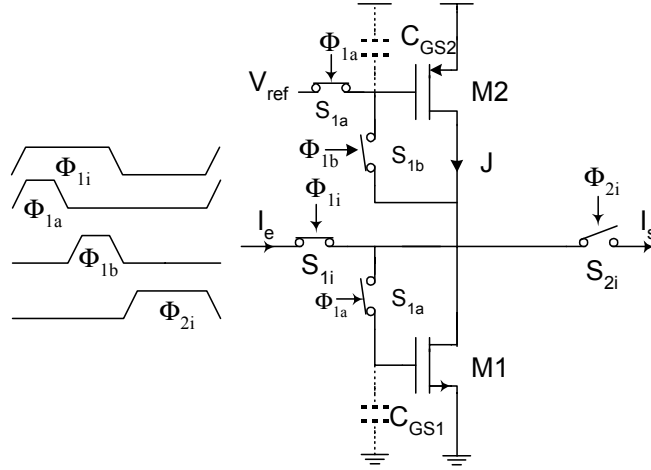


Figure I- 11 : La cellule mémoire de courant de base S²I.

Le processus de mémorisation est effectué en deux phases de façon grossière dans le transistor NMOS (M1), ensuite affinée dans le transistor PMOS (M2) sur lequel l'erreur d'acquisition de la première phase est conservée (figure I-12).

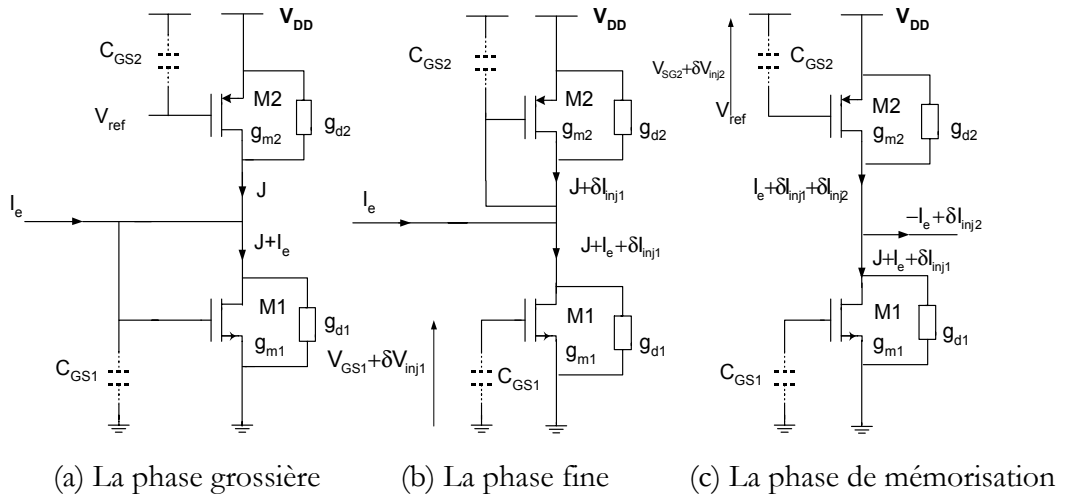


Figure I- 12 : La cellule mémoire S²I durant la phase d'acquisition (la phase grossière-la phase fine) et durant la phase de mémorisation.

Lors de la première phase Φ_{1a} , dite phase grossière, la cellule mémoire S²I fonctionne comme la cellule mémoire de base. La grille du transistor M2 est reliée à une tension de référence et se comporte comme une source de courant, et le transistor M1 en configuration diode est traversé par un courant de valeur égale à $J+I_e$.

A la fin de la phase grossière Φ_{1a} , M1 mémorise un courant égal à $J+I_e+\delta I_{inj1}$, où δI_{inj1} est l'erreur de courant qui dépend du signal d'entrée dû à l'ouverture de l'interrupteur S_{1a} . Dans la deuxième phase d'acquisition Φ_{1b} , dite phase fine, le transistor M2 est en configuration diode et sa tension de grille s'établit à une valeur telle que le courant de drain soit égal à l'inverse

d'un courant de valeur $J + \delta I_{inj1}$. Durant la phase de mémorisation, l'injection de charges est responsable de l'erreur δI_{inj2} induite dans le transistor M2 à la fin de la phase Φ_{1b} , cette erreur est faible puisque la variation de la tension est peu importante sur la grille du transistor M2 pendant l'acquisition fine. Le courant de sortie est alors donné par:

$$I_s = -I_e + \delta I_{inj2} \quad \text{Eq I- 32}$$

L'erreur de recopie de la cellule S^2I sera bien plus faible que celle de la cellule mémoire de courant de base SI. Si on linéarise les éléments de la cellule mémoire S^2I de courant, l'erreur faite par la cellule mémoire vaut $(g_d/g_m) I_e$ alors que l'erreur de la cellule mémoire S^2I est $(g_d/g_m)^2 I_e$ si $g_{d1} = g_{d2}$ et $g_{m1} = g_{m2}$.

L'intérêt de cette cellule S^2I est qu'elle asservit précisément son nœud d'entrée autour d'une tension fixe. En effet si $\delta I_{inj2} \ll J$, la tension mémorisée sur la capacité C_{GS2} est égale à V_{ref} . La tension du nœud d'entrée en fin de la deuxième phase est donc quasiment fixe quelle que soit la valeur du courant d'entrée I_e . Dans le cadre de nos travaux nous utilisons la cellule S^2I pour la réalisation du circuit modulateur $\Sigma\Delta$, bien que sa vitesse soit deux fois plus faible que la cellule SI.

III- LES BLOCS DE BASES DE LA TECHNIQUE S^2I DE COURANT COMMUTE

Les différentes structures de la cellule mémoire, figures I-8, I-10, I-11, sont utilisées pour créer différents blocs, eux-mêmes utilisés pour la réalisation de circuits à temps discret. On notera à titre d'exemples les filtres, les convertisseurs A/N et N/A. On se propose, dans la partie suivante, de décrire les différents blocs en technique S^2I utilisés pour le modulateur $\Sigma\Delta$.

III-1- L'échantillonneur bloqueur et la ligne à retard

L'échantillonneur bloqueur et la ligne à retard ont le même principe de fonctionnement, ils sont constitués de deux ou n cellules mémoires misent en cascades [Bat-93] (figure I-13). Chaque cellule mémoire S^2I a une fonction retard égale à $-z^{-1/2}$. L'échantillonneur bloqueur et la ligne à retard introduisent donc un retard égal à $n \frac{T}{2}$ et leur fonction de transfert est :

$$\frac{I_s(z)}{I_e(z)} = \left(-z^{-\frac{1}{2}}\right)^n = (-1)^n (z)^{-\frac{n}{2}} \quad \text{Eq I- 33}$$

Les circuits échantillonneurs bloqueurs sont utilisés pour pré-échantillonner le signal dans les systèmes de conversion A/N, et les filtres à temps discret. Les lignes à retard peuvent être utilisées par exemple dans les structures de filtre FIR (filtre à réponse impulsionnelle finie).

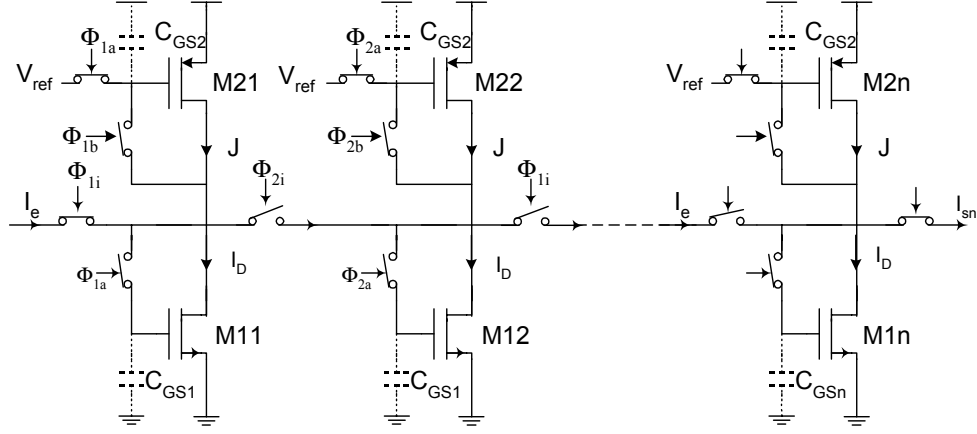


Figure I- 13 : La cascade de n cellules mémoires S²I constituant l'échantillonneur bloqueur (n=2) ou une ligne à retard (n arbitrairement).

III-2- L'intégrateur S²I généralisé sans perte

L'intégrateur est un bloc très utile dans les systèmes à temps discret. C'est la mise en cascade de deux cellules mémoires S²I fonctionnant en boucle fermée (figure I-14).

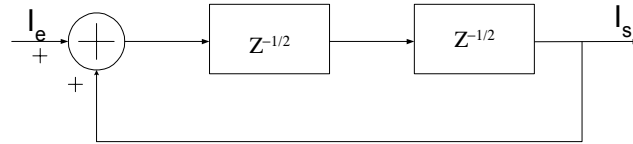


Figure I- 14 : Le schéma bloc en Z de l'intégrateur.

Le coefficient d'amortissement de l'intégrateur varie selon la proportion du courant de sortie bouclé. Un intégrateur S²I généralisé sans perte qui réalise à la fois trois fonctions différentes : intégration avec retard, intégration sans retard et amplification [Hug-90] est illustré par la figure I-15. Les fonctions de transfert des courants de sortie I_{s1} et I_{s2} par rapport aux courants d'entrée I_1 et I_2 dépendent des instants d'échantillonnage des courants de sortie. Nous nous contenterons de donner les résultats des calculs, dans le cas où les courants de sorties I_{s1} et I_{s2} sont exploités durant la phase Φ_1 , ceux-ci s'expriment par :

$$I_{s1\Phi1} = \frac{Z^{-1}}{1-Z^{-1}} I_1 - \frac{Z^{-1/2}}{1-Z^{-1}} I_2 - I_3 \quad \text{Eq I- 34}$$

$$I_{s2\phi1} = -\frac{1}{1-z^{-1}}I_1 + \frac{z^{-1/2}}{1-z^{-1}}I_2 - I_3 \quad \text{Eq I- 35}$$

Dans le cas où l'exploitation des sorties a lieu durant la phase Φ_2 ; ces équations deviennent :

$$I_{s1\phi 2} = \frac{z^{-1/2}}{1-z^{-1}} I_1 - \frac{1}{1-z^{-1}} I_2 - I_3 \quad \text{Eq I- 36}$$

$$I_{s2\Phi 2} = -\frac{Z^{-1/2}}{1-Z^{-1}}I_1 + \frac{Z^{-1}}{1-Z^{-1}}I_2 - I_3 \quad \text{Eq I- 37}$$

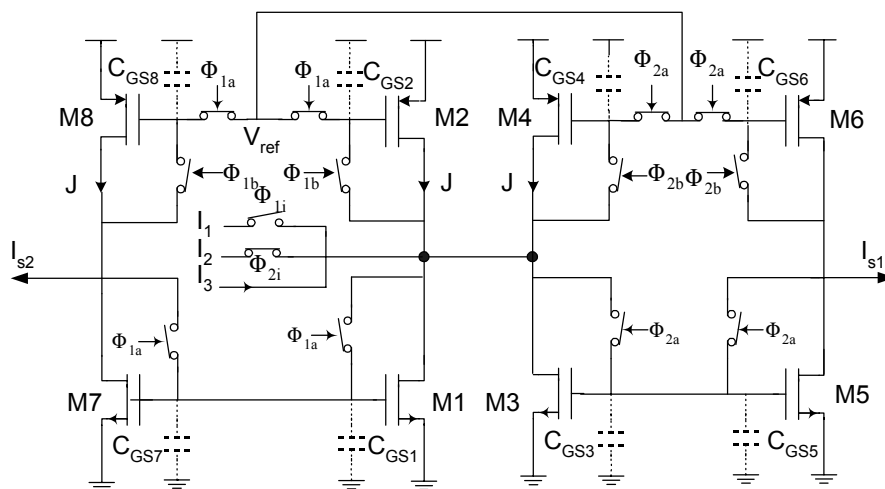


Figure I- 15 : Intégrateur S²I généralisé sans perte à courant commuté.

Ce bloc est utilisé dans la plupart des circuits, comme par exemple les filtres et les convertisseurs de type Sigma-Delta.

Remarque : le calcul des fonctions de transfert de tout circuit à courant commuté dépend des instants d'échantillonnage du signal d'entrée et des instants de lecture du signal de sortie. Les signaux sont en effet échantillonnés durant les deux phases du signal d'horloge global contrôlant le circuit, ce qui introduit le terme $z^{-\frac{1}{2}}$ dans les équations (Eq I-34, Eq I-35, Eq I-36, Eq I-37).

III-3- Le différentiateur où dérivateur

Le différentiateur est un bloc très utile [Hug 90-2], il peut être réalisé de la façon suivante :

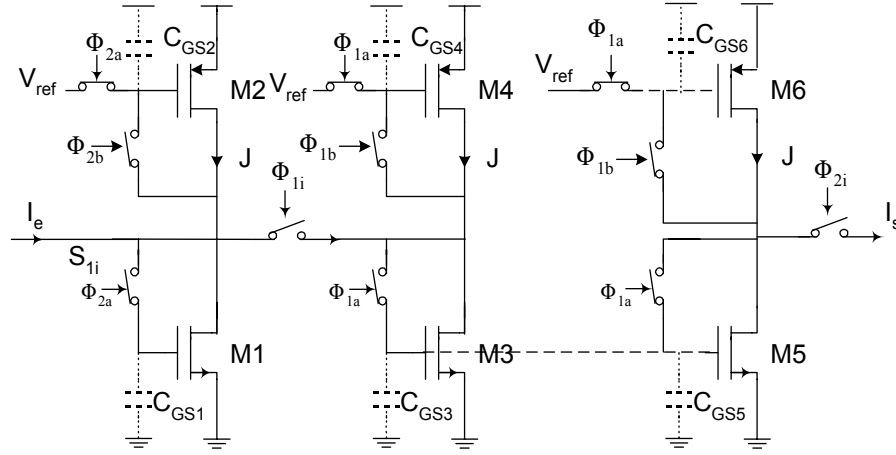


Figure I- 16 : Schéma bloc d'un différentiateur.

La fonction réalisée en temps discret est une soustraction consécutive. La fonction de transfert du différentiateur est :

$$\frac{I_s(z)}{I_e(z)} = \frac{(z-1)}{z} = (1-z^{-1}) \quad \text{Eq I- 38}$$

IV- REDUCTION DE L'INFLUENCE DE L'INJECTION DE CHARGES DE LA CELLULE S²I

La cellule mémoire S²I, représentée dans la figure (I-11), a été utilisée pour réaliser les différents blocs du modulateur Sigma Delta tout en supposant un fonctionnement idéal de cette cellule mémoire. En réalité, elle présente des non-idéalités introduisant des erreurs sur le courant de sortie.

En effet, ces non-idéalités sont calculées sur le transistor M2 pour une dynamique d'entrée fortement réduite. De ce fait, la variation des valeurs du courant à conserver dans ce transistor de mémorisation vaut $2\delta I_{inj1}$, ce qui est moins important que la variation des valeurs du courant d'entrée dans le transistor M1, $2I_e$. La dynamique du courant dans le transistor M2 ($2\delta I_{inj1}$) ne doit pas être confondue avec la dynamique d'entrée, qui reste égale à $2I_e$, comme dans la cellule mémoire SI. Ces non idéalités dues au phénomène d'injection de charges, au temps d'établissement et à la conductance de sortie, sont évaluées, comme dans la cellule mémoire SI, mais en utilisant le transistor M1 comme une source pilotée par la tension grossière de grille mémorisée, et le transistor M2 comme le transistor mémoire. Le calcul des composantes d'erreur est développé dans les paragraphes suivants.

IV-1- Erreur due au phénomène d'injection de charges

Le problème d'injection de charges a été identifié dans les premières étapes du développement des circuits à capacités commutées [Staf-74, Sua-75, Hod-80]. Depuis, il y a eu plusieurs tentatives pour modéliser le phénomène d'injection de charges. En 1983, MacQuigg [Mac-83] a établi un modèle d'équations empiriques, validé par des mesures. En 1984 Sheu [She-84] a développé une expression analytique pour la tension d'erreur résultante de l'injection de charges sur le circuit échantillonneur bloqueur. En 1985, Wilson [Will-85] a présenté des mesures et des observations étendues sur le circuit échantillonneur bloqueur.

L'analyse du circuit de base avec la résistance R_s et la capacité C_s (figure I-17) a été présentée par Sheu [She-84].

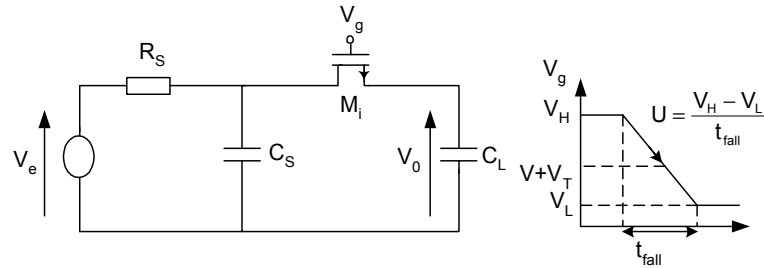


Figure I- 17 : Le circuit de base échantillonneur bloqueur.

En 1987, Wegmann [Weg-87], et puis, Eichenberger [Eich-89], ont montré que les charges injectées dans la capacité C_L dépendent d'un paramètre de commutation B . Ce paramètre B relatif à la vitesse de transition d'horloge, est défini par l'équation suivante :

$$B = (V_H - V_T) \sqrt{\frac{\mu_n C_{ox} \left(\frac{W}{L} \right)}{U C_L}} \quad \text{Eq I- 39}$$

où $U = \frac{dV}{dt} = \frac{V_H - V_L}{t_{fall}}$ est le gradient de la transition du front descendant du signal de commande.

On peut remarquer que :

- Pour des valeurs faibles de B , correspondantes à un temps de transition très court du signal d'horloge ($t_f < 10\text{ns}$), les charges du canal se partagent également entre la source et le drain indépendamment du rapport C_L/C_s .
- Pour des valeurs importantes de B , correspondantes à un temps de transition long du signal d'horloge ($t_f > 10\text{ns}$), les charges du canal se partagent selon la proportion du rapport C_L/C_s .
- Pour des valeurs intermédiaires de B , la distribution des charges dépend de la valeur de B .
- Si $C_L = C_s$, l'attribution des charges du canal se fait de manière égale.

Une analyse complète du phénomène d'injection de charges n'est pas l'objectif de ce travail, mais une analyse approximative fournit une vision claire de la nature du problème. Un modèle simple a été attribué à l'interrupteur MOS (M_i) durant les deux états (état passant et état bloqué), montrés respectivement à l'aide de la figure I-20.

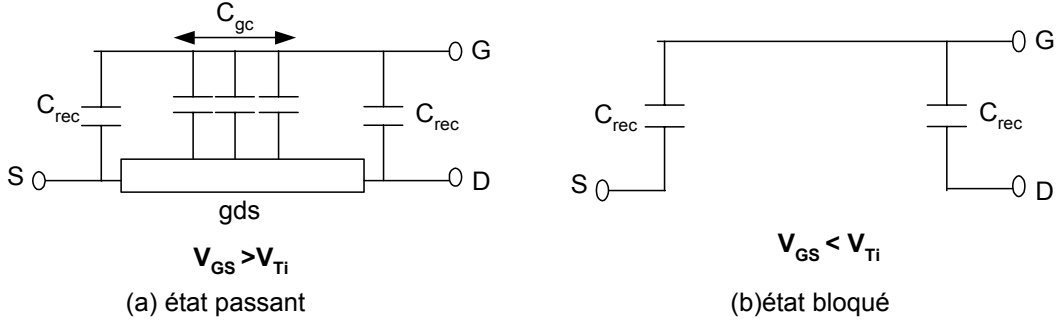


Figure I- 18 : Modèle du transistor MOS en fonctionnement interrupteur.

Quand $V_{GS} > V_{Ti}$, le canal est conducteur, C_{gc} consiste en une capacité répartie (figure I-18-a) entre le drain et la source du transistor et C_{rec} consiste en une capacité de recouvrement répartie respectivement entre la grille et la source et entre la grille et le drain. Leurs expressions sont données par :

$$C_{gc} = C_{ox} W_{eff} L_{eff} = C_{ox} W_{eff} (L - 2L_D) \quad \text{Eq I- 40}$$

$$C_{rec} = C_{ox} W_{eff} L_D \quad \text{Eq I- 41}$$

L_{eff} : La longueur effective du canal.

L_D : La longueur de diffusion du canal.

W_{eff} : La largeur effective du canal.

La charge totale du canal s'écrit :

$$Q_{canal} = (V_{GS} - V_{Ti}) C_{gc} \quad \text{Eq I- 42}$$

Quand $V_{GS} < V_{Ti}$, la conduction du canal disparaît (figure I-18-b) et la charge du canal est évacuée dans le drain et la source. Cette charge dépend principalement du paramètre de commutation B (Eq I-39) à condition que les deux capacités soient identiques.

Les sources principales de l'erreur d'injection de charges sont le couplage du signal d'horloge à travers les capacités parasites et la redistribution des charges stockées dans le canal du transistor interrupteur.

IV-2- Application à la cellule mémoire S²I

La figure I-19 montre la cellule mémoire S²I durant la phase grossière avec les différentes capacités parasites (C_{rec}) mises en jeu lors de la commutation de la cellule. La capacité C_{GS1} est celle entre la grille et la source du transistor M1.

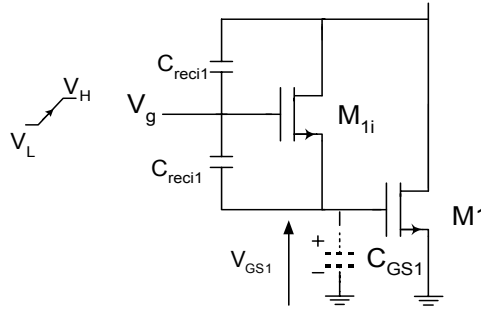


Figure I- 19 : Cellule mémoire S²I durant la phase grossière avec les capacités parasites.

Deux cas peuvent se présenter au cours d'une transition d'horloge.

-Le premier cas correspond au transistor interrupteur M_{1i} en mode conducteur, illustré dans la figure I-20-a.

-Le deuxième cas correspond au transistor interrupteur en mode bloqué, illustré dans la figure I-20-b; son drain et sa source sont isolés.

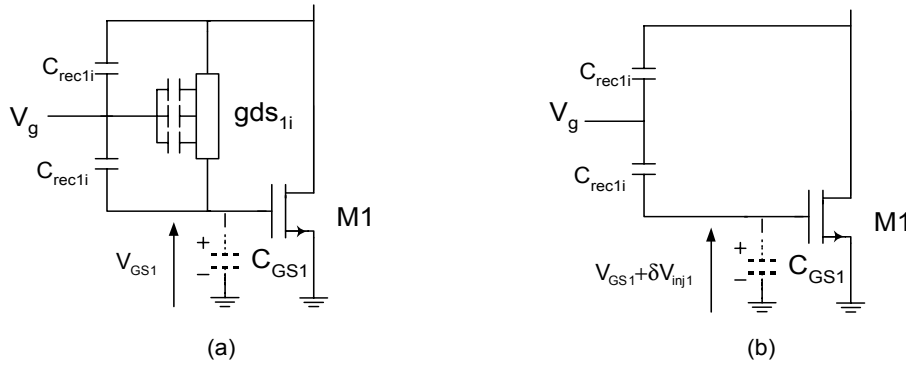


Figure I- 20 : Cellule mémoire S²I durant la phase grossière (a) avec un transistor interrupteur conducteur (b) avec un transistor interrupteur ouvert.

La charge totale stockée dans le canal du transistor interrupteur M_{1i} en mode conducteur (figure I-20) est donnée par :

$$Q_{canal} = (C_{gc1i} + 2C_{rec1i})(V_H - V_{GS1} - V_{T1i}) \quad \text{Eq I- 43}$$

V_H : le potentiel haut de la tension grille d'interrupteur.

V_{GS1} : la tension grille source du transistor mémoire.

La charge injectée dans la grille du transistor mémoire M1 lors du blocage de M_{1i} est formée de deux composantes. La première consiste en une portion de la charge stockée dans le canal de l'interrupteur. Elle présente l'effet principale de l'injection de charges et dépend du temps de transition du signal d'horloge. La deuxième composante est due au couplage de la capacité de recouvrement avec le signal d'horloge. Cette quantité est donnée par :

$$Q_{rec1i} = C_{rec1i}(V_{GS1} + V_{T1i} - V_L) \quad \text{Eq I- 44}$$

La charge totale injectée dans la capacité grille-source du transistor mémoire M1 est donnée par :

$$Q_{inj1} = \alpha Q_{canal} + Q_{rec1i} \quad \text{Eq I- 45}$$

où α représente la fraction de la charge totale dans le canal qui s'évacue de l'interrupteur vers la source du transistor mémoire. C'est une valeur difficile à quantifier car elle dépend de la pente du signal de commande lors de l'ouverture de l'interrupteur, mais aussi des impédances relatives vues sur chaque nœud (drain, source).

La quantité de charges injectées aux bornes de la capacité C_{GS1} est exprimée par :

$$Q_{inj1} = \alpha C_{canal}(V_H - V_{GS1} - V_{T1i}) + C_{rec1i}(V_{GS1} + V_{T1i} - V_L) \quad \text{Eq I- 46}$$

Cette charge injectée provoque une variation du potentiel donnée par :

$$\delta V_{inj1} = \frac{Q_{inj1}}{C_{GS1}} = \frac{\alpha C_{canal}(V_H - V_{GS1} - V_{T1i})}{C_{GS1}} + \frac{C_{rec1i}(V_{GS1} + V_{T1i} - V_L)}{C_{GS1}} \quad \text{Eq I- 47}$$

Cette variation du potentiel δV_{inj1} provoque une variation du courant drain, δI_{inj1} obtenu en remplaçant V_{GS1} par $V_{GS1} + \delta V_{inj1}$ dans l'équation I-2.

$$\delta I_{inj1} = K_n \left(\frac{W_1}{L_1} \right) \delta V_{inj1}^2 + 2K_n \left(\frac{W_1}{L_1} \right) (V_{GS1} - V_{T,M1}) \delta V_{inj1} \quad \text{Eq I- 48}$$

avec :

$$V_{GS1} = \sqrt{\frac{(J+I_e)}{K_n \left(\frac{W_1}{L_1} \right)}} + V_{T,M1} \quad \text{Eq I- 49}$$

Si on s'intéresse maintenant au transistor M2 et à son interrupteur associé M_{2i} , durant la phase fine, les figures (I-21 et I-22) montrent les différents états du transistor interrupteur M_{2i} .

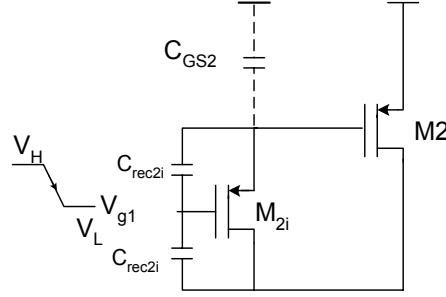


Figure I- 21 : Cellule mémoire S²I durant la phase fine avec les capacités parasites.

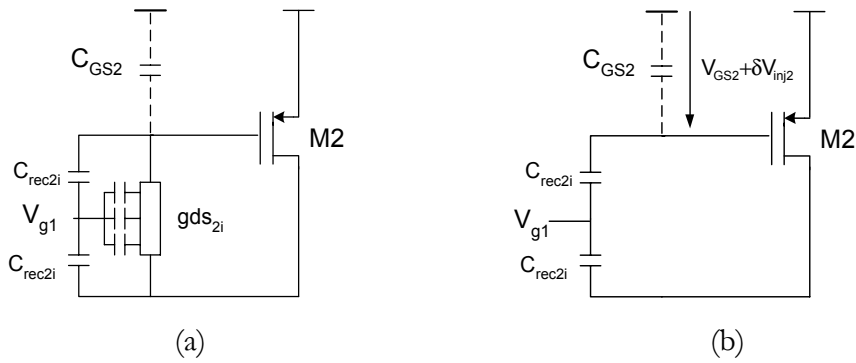


Figure I- 22 : Cellule mémoire S²I durant la phase fine (a) avec un transistor interrupteur conducteur (b) avec un transistor interrupteur ouvert.

Pendant la phase Φ_{1b} , (interrupteur fermé) la charge stockée dans le canal du transistor interrupteur PMOS (M_{2i}) avant la commutation est donnée par l'expression suivante :

$$Q_c = (C_{gc\ 2i} + 2C_{rec\ 2i})(V_{DD} - V_{SG\ 2} - V_L - |V_{T2i}|) \quad \text{Eq I- 50}$$

avec:

$$V_{SG2i} = (V_{DD} - V_{SG2} - V_L - |V_{T2i}|) \quad \text{Eq I- 51}$$

La deuxième composante de charges injectées dû au couplage de la capacité de recouvrement avec le signal d'horloge lors de l'ouverture du transistor est :

$$Q_{rec2i} = C_{rec2i}(V_{SG2} + |V_{T2i}| + V_H - V_{DD}) \quad \text{Eq I- 52}$$

D'où l'expression de la charge totale Q_{inj2} aux bornes de la capacité C_{GS2} :

$$Q_{inj2} = \alpha C_{canal}(V_{DD} - V_{SG2} - V_L - |V_{T2i}|) + C_{rec2i}(V_{SG2} + |V_{T2i}| + V_H - V_{DD}) \quad \text{Eq I- 53}$$

Cette charge injectée provoque une variation du potentiel donnée par :

$$\delta V_{inj2} = \frac{(C_{gc2i} + 2C_{rec2i})(V_{DD} - V_{SG2} - V_L - |V_{T2i}|) + C_{rec2i}(V_{SG2} + |V_{T2i}| + V_H - V_{DD})}{C_{GS2}} \quad \text{Eq I- 54}$$

Cette variation du potentiel δV_{inj2} est le responsable principal de l'erreur δI_{inj2} induit dans le transistor mémoire M2 à la fin de la phase Φ_{1b} , elle est faible puisque la variation de tension est peu importante sur la grille du transistor PMOS (M2) pendant l'acquisition fine. Pendant la phase de restitution Φ_2 le courant de sortie est donné par :

$$I_s = -I_e + \delta I_{inj2} \quad \text{Eq I- 55}$$

où l'expression de δI_{inj2} dépendant des paramètres du transistors mémoire M2 est donnée par :

$$\delta I_{inj2} = K_p \left(\frac{W_2}{L_2} \right) \delta V_{inj2}^2 + 2K_p \left(\frac{W_2}{L_2} \right) (V_{SG2} - |V_{TM2}|) \delta V_{inj2} \quad \text{Eq I- 56}$$

Cette expression dépend de la tension grille du transistor mémoire M2 qui s'exprime par :

$$V_{SG2} = \sqrt{\frac{J + \delta I_{inj1}}{K_p \left(\frac{W_2}{L_2} \right)}} + |V_{TM2}| \quad \text{Eq I- 57}$$

D'après l'équation Eq I-53, on constate que le potentiel grille source du transistor mémoire M2 durant la phase fine dépend de l'erreur d'injection δI_{inj1} durant la phase grossière. La combinaison des équations Eq I-48, Eq I-49, Eq I-50, Eq I-55, Eq I-56 et Eq I-57, permet d'exprimer l'erreur δI_{inj2} en fonction du courant d'entrée selon la forme polynomiale :

$$\delta I_{inj2} = \beta_4 I_e^4 + \beta_3 I_e^3 + \beta_2 I_e^2 + \beta_1 I_e + \beta_0 \quad \text{Eq I- 58}$$

Le calcul des valeurs des paramètres β_4 , β_3 , β_2 , β_1 et β_0 est développé en annexe A. Ces valeurs seront par ailleurs appliquées dans le chapitre III pour déterminer le modèle de la cellule mémoire S^2I .

Toutefois, si le courant de sortie est envoyé vers une deuxième cellule établissant une tension de drain presque égale à celle de la première (la deuxième phase d'acquisition), δI_{inj2} est alors pratiquement indépendante du signal d'entrée et peut être considérée comme un offset. L'erreur δI_{inj2} peut être filtrée en sortie, ainsi les performances seront améliorées par rapport à la cellule mémoire de base.

IV-3- Réduction de l'erreur d'injection de charges de la technique S²I

La cellule mémoire S²I est une solution permettant de compenser la composante dépendante du signal d'entrée mais l'erreur indépendante du signal persiste toujours. Pour cela, nous proposons par la suite différentes structures permettant la réduction de cette erreur.

IV-3-1- Utilisation de deux cellules mémoire S²I en cascade

Une des solutions permettant de réduire l'erreur indépendante du signal d'entrée est de mettre en cascade deux cellules mémoires S²I (figure I-23).

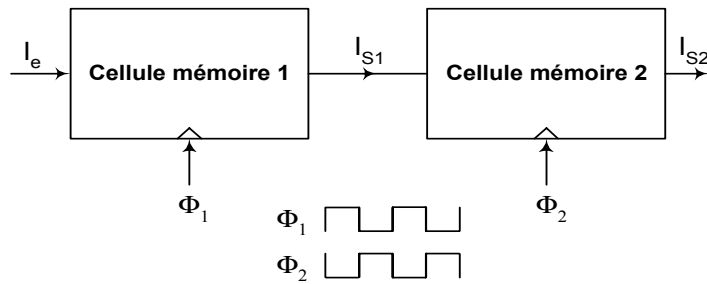


Figure I- 23 : Utilisation de deux cellules mémoires en cascade.

Le courant de sortie de la première cellule est :

$$I_{S1} = -I_e - \delta I_{inj1} \quad \text{Eq I- 59}$$

où δI_{inj1} est l'erreur d'injection de charges indépendante du signal de la première cellule mémoire S²I.

La sortie de la première cellule attaque l'entrée de la deuxième cellule. Le courant de sortie I_{S2} est alors :

$$I_{S2} = -I_{S1} - \delta I_{inj2} = -(-I_e - \delta I_{inj1}) - \delta I_{inj2} \quad \text{Eq I- 60}$$

qu'on peut mettre sous la forme suivante :

$$I_{S2} = I_e + (\delta I_{inj1} - \delta I_{inj2}) \quad \text{Eq I- 61}$$

où δI_{inj2} est l'erreur d'injection de charges indépendante du signal de la deuxième cellule mémoire S²I. Comme on a :

$$\delta I_{inj1} \approx \delta I_{inj2} \quad \text{Eq I- 62}$$

On peut alors écrire :

$$I_{S2} \approx I_e$$

Eq I- 63

L'erreur totale obtenue est bien plus faible que celle pour une seule cellule mémoire S^2I .

IV-3-2- Utilisation d'une structure différentielle

Cette structure est composée de deux cellules mémoires S^2I organisées telle que représenté sur la figure I-24.

Elle est utilisée fréquemment pour la réalisation et la conception des intégrateurs à courants commutés. Elle permet de réduire la distorsion harmonique et l'effet du mode commun.

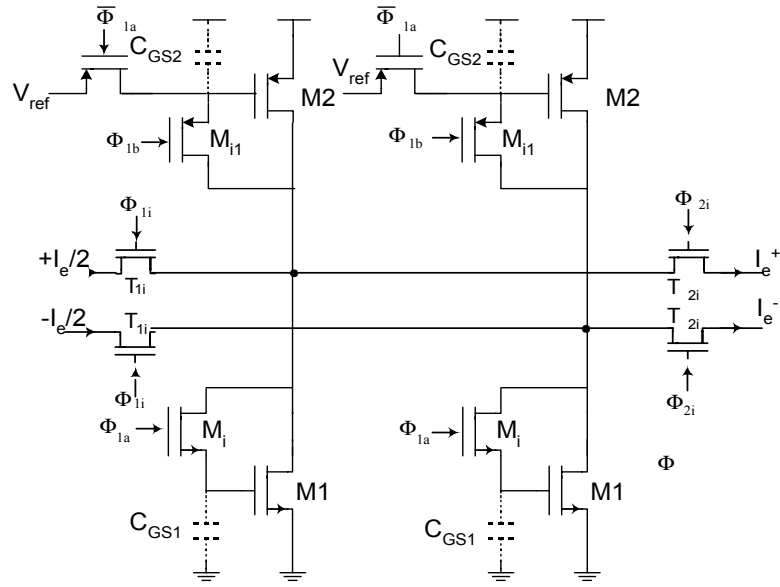


Figure I- 24 : La Cellule mémoire S^2I différentielle.

Les courants de sortie de chaque branche de la paire différentielle sont respectivement :

$$I_s^+ = -\frac{I_e}{2} - \delta I_{inj2}^+ \quad \text{Eq I- 64}$$

$$I_s^- = +\frac{I_e}{2} - \delta I_{inj2}^- \quad \text{Eq I- 65}$$

Puisque on a : $\delta I_{inj2}^+ \approx \delta I_{inj2}^-$, on obtient alors :

$$I_s = I_s^+ - I_s^- \approx -I_e \quad \text{Eq I- 66}$$

IV-3-3- La cellule mémoire S²I avec un circuit fantôme à miroir de courant

Cette méthode consiste à modifier le circuit de base pour diminuer l'erreur à partir de sa source, au niveau du transistor qui réalise la commutation. Pour ceci, on utilise un circuit S²I et un circuit fantôme original [Cha-97] qui élimine l'erreur dépendante et indépendante du signal d'entrée.

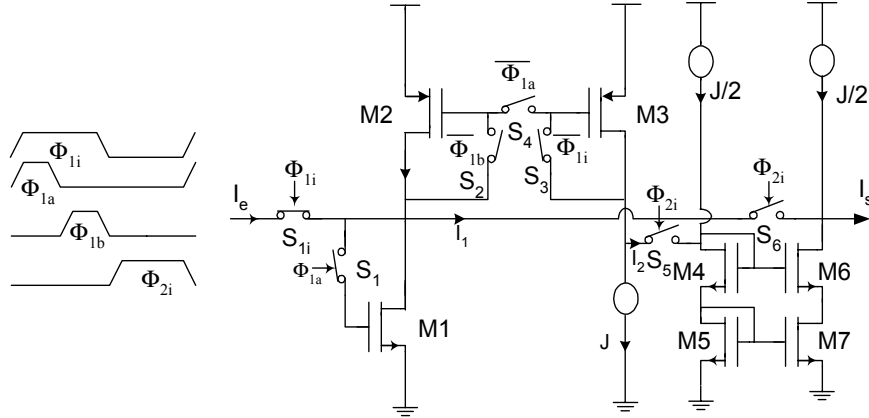


Figure I- 25 : La cellule mémoire S²I avec un circuit fantôme a miroir de courant.

Les différents interrupteurs S_2 , S_4 et S_3 sont des transistors de type PMOS, et les interrupteurs S_1 , S_{1i} , S_5 , S_6 sont des transistors de type NMOS.

Durant la première phase d'acquisition grossière Φ_{1a} , les interrupteurs S_1 , S_3 et S_4 sont fermés et les interrupteurs S_2 , S_5 , S_6 sont ouverts. Le transistor mémoire M2 se comporte comme une source de courant et recopie le courant qui traverse le transistor mémoire M3, les expressions des courants de drain sont :

$$I_{D1} = J I_e \quad \text{Eq I- 67}$$

$$I_{D2} = J \quad \text{Eq I- 68}$$

$$I_{D3} = J \quad \text{Eq I- 69}$$

Durant la deuxième phase d'acquisition Φ_{1b} , les interrupteurs S_2 , S_3 , S_{1i} sont fermés et les interrupteurs S_1 , S_4 , S_5 , S_6 sont ouverts. Toutefois, l'ouverture de S_1 génère une erreur de courant à la fois dépendante et indépendante du signal d'entrée : $\delta I_{inj1} = \delta I_{1ac} + \delta I_{1dc}$. Le transistor mémoire M2, n'étant plus relié à M3 mais monté en diode, fournit toujours le courant de polarisation et mémorise l'erreur δI_{inj1} .

Les courants traversant les différents étages sont :

$$I_{D1} = J I_e + \delta I_{inj1} \quad \text{Eq I- 70}$$

$$I_{D2} = J + \delta I_{inj1} \quad \text{Eq I- 71}$$

$$I_{D3} = J \quad \text{Eq I- 72}$$

Durant la phase de restitution, les interrupteurs S_5 et S_6 sont fermés, et les interrupteurs S_1 , S_2 , S_3 et S_4 sont ouverts. Le signal d'entrée n'est plus appliqué au circuit. L'ouverture des deux interrupteur S_2 et S_3 crée respectivement les erreurs δI_{inj2} et δI_{inj3} . On a alors :

$$I_{D1} = J + I_e + \delta I_{inj1} \quad \text{Eq I- 73}$$

$$I_{D2} = J + \delta I_{inj1} + \delta I_{inj2} \quad \text{Eq I- 74}$$

$$I_{D3} = J + \delta I_{inj3} \quad \text{Eq I- 75}$$

Le courant I_2 est alors:

$$I_2 = I_{D3} - J \Rightarrow I_2 = \delta I_{inj3} \quad \text{Eq I- 76}$$

Le courant I_1 fournit par la première étage de la cellule est donné par :

$$I_1 = I_{D2} - I_{D1} \Rightarrow I_1 = -I_e + \delta I_{inj2} \quad \text{Eq I- 77}$$

Le miroir de courant inverse la polarité de courant I_2 . Finalement on obtient :

$$I_S = I_1 - I_2 = -I_e + \delta I_{inj2} - \delta I_{inj3} \quad \text{Eq I- 78}$$

La compensation de l'erreur dépendante du signal s'effectue de la même manière que pour la cellule mémoire S^2I classique. La compensation de l'erreur indépendante du signal dépend du bon appariement des transistors interrupteurs S_2 et S_3 , ainsi que de la bonne recopie du miroir de courant.

IV-3-4- La cellule mémoire S^2I avec un circuit fantôme

De la même façon, cette structure permet d'éliminer l'erreur dépendante et indépendante du signal d'entrée. La figure I-26 montre le montage de la cellule mémoire S^2I avec un circuit fantôme.

Durant la phase d'acquisition grossière Φ_{2i} de la période $(n-1)$ du circuit fantôme, le transistor M4 fournit le courant de polarisation. Les interrupteurs S_{1i} et S_{2i} sont ouverts et aucun signal d'entrée n'est appliqué au circuit fantôme. Le courant de drain de M4 vaut : $I_{D4} = J$.

Lors de l'ouverture des interrupteurs S_3 et S_6 , le transistor M3 mémorise le courant $I_{D3} = J + \delta I_{inj3}$ (où δI_{inj3} est l'erreur d'injection générée par l'interrupteur S_3). Pendant la deuxième

phase d'acquisition fine du circuit fantôme, le courant de drain du transistor M3 est égal à celui du transistor M4 ($I_{D4}=J+\delta I_{inj3}$). A la fin de la phase, l'interrupteur S_4 est ouvert, le transistor M4 mémorise $I_{D4}=J+\delta I_{inj4}+\delta I_{inj3}$ et le courant I_{D3} conserve la même valeur.

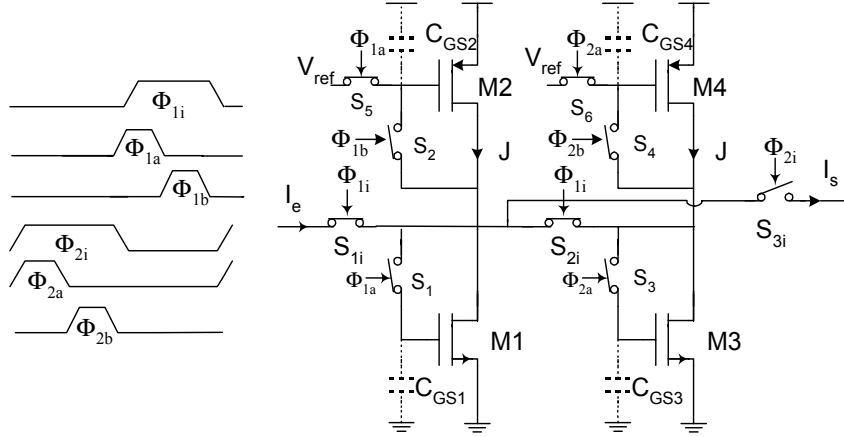


Figure I- 26 : La cellule mémoire S^2I avec un circuit fantôme.

Durant la phase Φ_{1i} de la période n , le signal d'entrée est appliqué au premier étage. l'erreur de courant du circuit fantôme est ajoutée au signal d'entrée de la cellule mémoire S^2I . Pendant la phase grossière le courant de drain du transistor mémoire M1 est égal à :

$$I_{D1}=J+I_e+\delta I_{inj4} \quad \text{Eq I- 79}$$

Lors de la deuxième phase d'acquisition, le transistor M1 mémorise le courant

$$I_{D1}=J+I_e+\delta I_{inj4}+\delta I_{inj1} \quad \text{Eq I- 80}$$

où δI_{inj1} représente l'erreur d'injection de courant due à l'interrupteur S_1 .

Le courant de drain du transistor M2 vaut :

$$I_{D2}=J+\delta I_{inj1} \quad \text{Eq I- 81}$$

A la fin de la phase fine, l'interrupteur S_2 est ouvert, le courant de drain du transistor M2 est donné par Eq I-82 et le courant de drain I_{D1} se conserve.

$$I_{D2}=J+\delta I_{inj1}+\delta I_{inj2} \quad \text{et} \quad I_{D1}=J+I_e+\delta I_{inj4}+\delta I_{inj1} \quad \text{Eq I- 82}$$

Durant la phase de restitution Φ_{2i} , le courant de sortie est :

$$I_s=I_{D2}-I_{D1} \quad \text{Eq I- 83}$$

$$I_s=-I_e+\delta I_{inj4}+\delta I_{inj2} \quad \text{Eq I- 84}$$

L'erreur δI_{inj1} , n'apparaît pas au niveau du courant de sortie, et les erreurs δI_{inj2} et δI_{inj4} sont considérées comme des erreurs indépendantes du signal d'entrée. Pour une meilleure élimination de cette composante, il faut que les deux transistors M2 et M4 soient identiques. L'expression de δI_{inj2} est donnée par [Cha-97].

$$\delta I_{inj2} = \sqrt{2\beta_2 I_{D2}} \left(\frac{\delta q_2}{C_{GS2}} \right) - \frac{\beta_2}{2} \left(\frac{\delta q_2}{C_{GS2}} \right)^2 \quad \text{Eq I- 85}$$

δq_2 représente les charges stockées dans la capacité C_{GS2} et β_2 représente le facteur de gain.

Pour obtenir l'expression de δI_{inj4} il suffit de remplacer l'indice 2 par 4 dans l'expression δI_{inj2} .

V- AMELIORATION DE LA PRECISION DE LA TECHNIQUE S²I

L'erreur qui limite la précision de la cellule mémoire S²I est l'erreur de recopie du courant. Cette erreur est due à la conductance de sortie. Deux structures sont proposées pour améliorer la précision de la cellule mémoire S²I en réduisant la conductance de sortie : la structure cascode et la structure cascode régulée.

V-1- Utilisation de la structure cascode

La cellule mémoire S²I de la structure cascode est obtenue en intercalant deux transistors montés en source commune, M1c et M2c, entre la source et le drain du transistor mémoire M1 et M2, comme le montre la figure I-27-a.

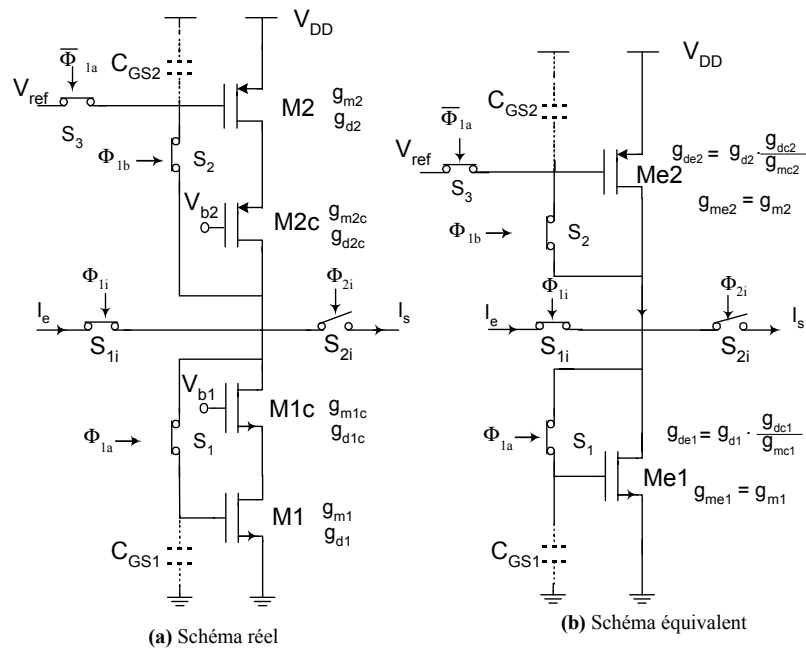


Figure I- 27 : La cellule mémoire S²I en structure cascode.

La linéarisation de cette cellule autour de son point de repos permet d'avoir une estimation du gain de recopie de la cellule. Lors de la première boucle, l'erreur de recopie vaut :

$$\varepsilon_{L1} = \frac{g_{d1}g_{d1c}}{g_{m1}g_{m1c}} \quad \text{Eq I- 86}$$

La conductance du transistor cascode M1c est g_{d1c} et celle du transistor mémoire M1 est g_{d1} . Lors de la seconde boucle, la cellule mémoire S²I est de type cascode simple, l'erreur de recopie vaut alors:

$$\varepsilon_{L2} = \frac{g_{d2}g_{d2c}}{g_{m2}g_{m2c}} \quad \text{Eq I- 87}$$

La conductance du transistor cascode M2c est g_{d2c} et celle du transistor mémoire M2 est g_{d1} . L'erreur finale est le produit de ces deux erreurs de recopie, son expression est donnée par.

$$\varepsilon_{L1} \cdot \varepsilon_{L2} = \frac{g_{d1}g_{d1c}}{g_{m1}g_{m1c}} \frac{g_{d2}g_{d2c}}{g_{m2}g_{m2c}} \quad \text{Eq I- 88}$$

Cette erreur est proportionnelle à $(g_d/g_m)^4$, alors que pour une cellule de base elle est proportionnelle à $(g_d/g_m)^2$. La précision est donc meilleure.

VI-2- Utilisation de la structure cascode régulée

Cette structure est basée sur le principe du miroir de courant à cascode régulé [Tou90-3]. Elle est représentée par la figure I-28-a. Les trois transistors M1, M1c et M2c sont équivalents à un seul transistor Me1 (figure I-28-b).

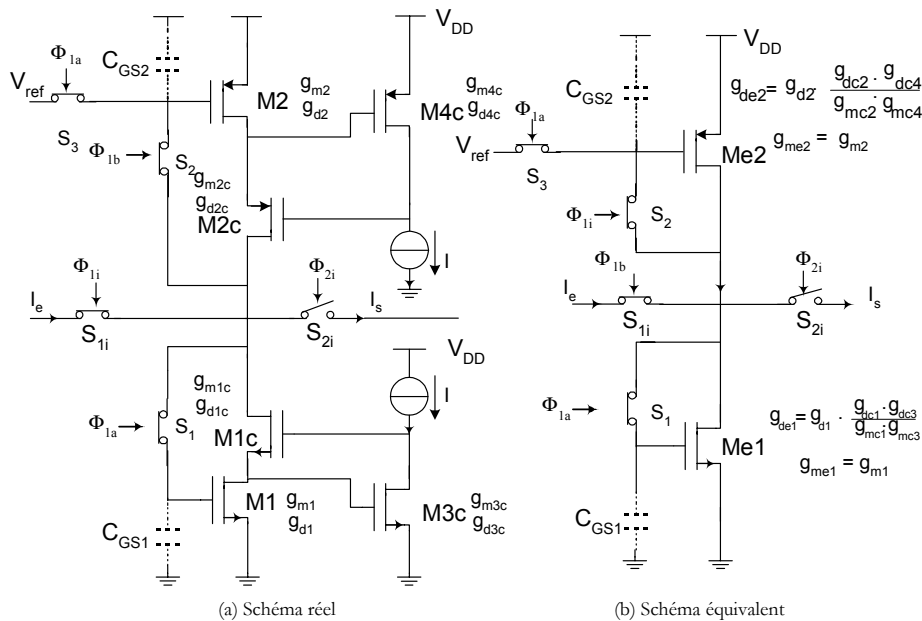


Figure I- 28 : La Cellule mémoire S²I en structure cascode régulé.

Cette structure apporte une meilleur précision que celle du montage cascode. En effet, lors de la première boucle, l'erreur de recopie est donnée par :

$$\epsilon_{L1} = \frac{g_{d1}g_{d1c}g_{d3c}}{g_{m1}g_{m1c}g_{m3c}} \quad \text{Eq I- 89}$$

Les conductances des deux transistors M1c et M3c de la structure cascode sont respectivement g_{d1c} et g_{d3c} , et celle du transistor mémoire est g_{d1} .

Lors de la seconde boucle, la cellule mémoire S²I est de type cascode régulé, l'erreur de recopie vaut alors :

$$\epsilon_{L2} = \frac{g_{d2}g_{d2c}g_{d4c}}{g_{m2}g_{m2c}g_{m4c}} \quad \text{Eq I- 90}$$

Par contre, les conductances des deux transistors M2c et M4c de la structure cascode sont respectivement g_{d2c} et g_{d4c} , et celle du transistor mémoire est g_{d2} .

L'erreur final est alors le produit des deux erreurs :

$$\epsilon_{L1}\epsilon_{L2} = \frac{g_{d1}g_{d1c}g_{d3c}}{g_{m1}g_{m1c}g_{m3c}} \frac{g_{d2}g_{d2c}g_{d4c}}{g_{m2}g_{m2c}g_{m4c}} \quad \text{Eq I- 91}$$

En comparant cette erreur qui est proportionnelle à $(gd/gm)^6$ à celle de la structure cascode on constate que cette cellule permet d'atteindre une meilleur précision.

VI- AUTRES TYPES D'ERREURS DANS LA CELLULE S²I

VI-1- Erreur due au temps d'établissement

Les performances de la cellule mémoire S²I dépendent de la précision avec laquelle la tension de la grille du transistor M2 a été mémorisée à la fin de la phase Φ_{1b} . Cette tension dépend de la valeur du temps d'acquisition par rapport au temps d'établissement qui correspond au temps nécessaire pour que la charge de la capacité grille source C_{GS2} atteigne son régime permanent. La figure I-29 représente le schéma équivalent en petits signaux de la cellule mémoire S²I durant la deuxième phase d'acquisition.

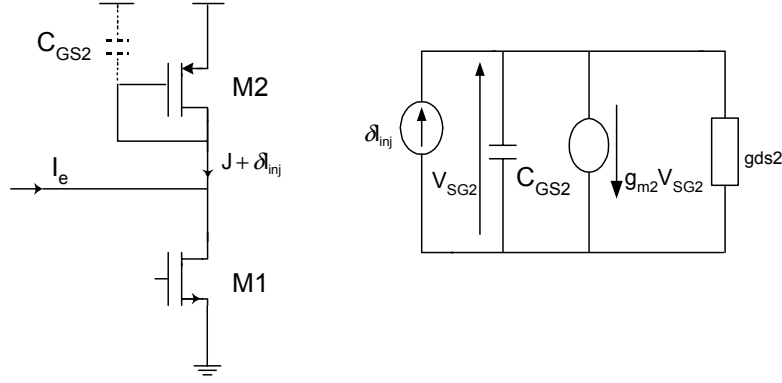


Figure I- 29 : Circuit équivalent en petits signaux de la cellule mémoire S²I en deuxième phase d'acquisition.

C'est un système du premier ordre avec un pôle unique à :

$$\omega_p = \frac{g_{m2} + g_{ds2}}{C_{GS2}} \quad \text{Eq I- 92}$$

En supposant que $g_{ds2} \ll g_{m2}$, cette équation se réduit à :

$$\omega_p = \frac{g_{m2}}{C_{GS2}} \quad \text{Eq I- 93}$$

L'erreur d'établissement d'un système du premier ordre est donnée par :

$$\varepsilon_s = e^{-\omega_p t} \quad \text{Eq I- 94}$$

Pour une précision donnée, la capacité maximale de la grille est déterminée par :

$$C_{GS2} < \frac{t_{acq} g_{m2}}{\ln \varepsilon_s} \quad \text{Eq I- 95}$$

où t_{acq} représente le temps d'acquisition, qui est nécessairement une fraction de la période de l'horloge principale.

VI-2- Erreur de gain

Les circuits équivalents en petits signaux pour la cellule mémoire S²I durant les deux modes d'acquisitions sont représentés ci-dessous : la phase d'acquisition grossière (figure I-30-a), la phase d'acquisition fine (figure I-30-b) et le mode de restitution (figure I-30-c).

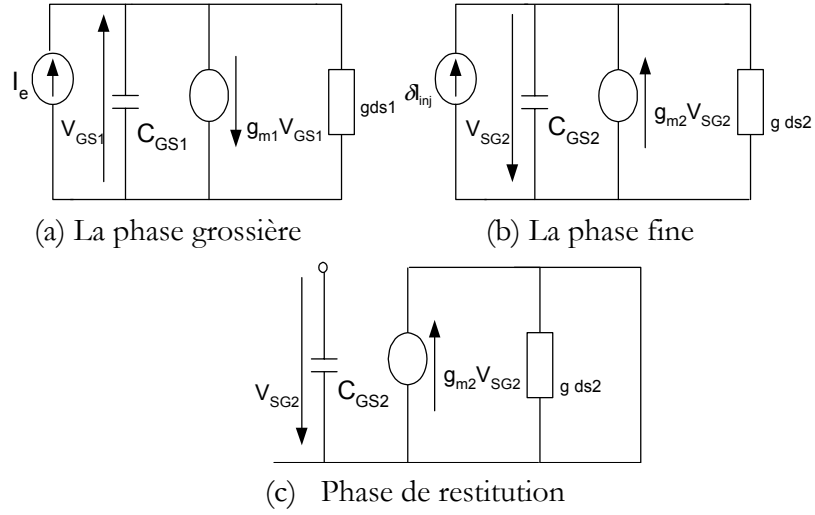


Figure I- 30 : Circuits équivalents en petits signaux pour l'analyse de premier ordre de l'erreur de gain statique.

Pour le circuit équivalent en mode d'acquisition grossière, la valeur statique de V_{GS1} peut s'écrire :

$$V_{GS1} = \frac{I_e}{g_{m1} + g_{ds1}} \quad \text{Eq I- 96}$$

De même, en mode d'acquisition fine, la valeur de V_{SG2} peut s'écrire :

$$V_{SG2} = \frac{-\delta I_{inj1}}{g_{m2} + g_{ds2}} \quad \text{Eq I- 97}$$

En mode de restitution, le courant de sortie est égal à :

$$I_s = g_{m2} V_{SG2} \quad \text{Eq I- 98}$$

et

$$\delta I_{inj1} = -g_{m1} V_{GS1} \quad \text{Eq I- 99}$$

Le gain du système vaut alors :

$$A_{dc} = \frac{I_s}{I_e} = \frac{I_s}{\delta I_{inj1}} \cdot \frac{\delta I_{inj1}}{I_e} = A_{dc2} \cdot A_{dc1} \quad \text{Eq I- 100}$$

$$A_{dc} = \frac{g_{m2} \delta I_{inj1}}{g_{m2} + g_{ds2}} \cdot \frac{g_{m1} I_e}{g_{m1} + g_{ds1}} = \frac{1}{1 + \frac{g_{ds2}}{g_{m2}}} \cdot \frac{1}{1 + \frac{g_{ds1}}{g_{m1}}} \quad \text{Eq I- 101}$$

Le gain de la cellule mémoire devrait être unitaire, dans ce cas son erreur statique est donnée par :

$$\epsilon_{dc} = \epsilon_{L2} \epsilon_{L1} = \frac{1}{1 + \frac{g_{ds2}}{g_{m2}}} \frac{1}{1 + \frac{g_{ds1}}{g_{m1}}} \approx \frac{g_{ds2}}{g_{m2}} \frac{g_{ds1}}{g_{m1}} \quad \text{Eq I- 102}$$

On constate bien que l'erreur statique de la cellule mémoire S²I est réduite d'un facteur de g_{ds2}/g_{m2} , dû à la deuxième phase d'acquisition, ce qui permet une meilleure recopie du courant par rapport à la cellule mémoire SI.

VI-3- Erreur du diviseur capacitif

La variation de la tension δV_{DS2} du transistor mémoire M2 pendant la phase fine est transmise de façon dynamique sur la grille à cause d'une capacité parasite entre la grille et le drain, qui avec la capacité mémoire, constitue un diviseur capacitif, comme illustré à la figure I-31.

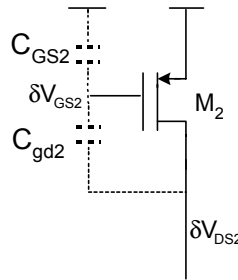


Figure I- 31 : Erreur de gain dynamique due au diviseur capacitif.

δV_{DS2} est la différence entre la tension du drain en mode d'acquisition fine V_{da} et la tension du drain en mode de restitution V_{dr} . C'est à dire :

$$\delta V_{DS2} = V_{dr} - V_{da} \quad \text{Eq I- 103}$$

La variation de la tension grille source du transistor mémoire M2 vaut :

$$\delta V_{GS2} = \delta V_{DS2} \frac{C_{dg2}}{C_{dg2} + C_{GS2}} \quad \text{Eq I- 104}$$

ainsi, δV_{GS2} engendre une variation du courant de sortie :

$$\delta I_{inj2} = g_{m2} \delta V_{GS2} \quad \text{Eq I- 105}$$

Cette variation du courant est supposée très faible dans la cellule mémoire de courant S²I car $J \gg \delta I_{inj2}$.

CONCLUSION

À la fin des années 80, la technique des courants commutés a été proposée comme solution à l'obstacle technologique de la technique à capacités commutées. Dans cette technique des courants commutés, l'information est véhiculée sous forme de courant. À l'origine, elle a été développée pour des circuits conçus avec la technologie CMOS parce qu'elle est dominante dans la réalisation de circuits à faible puissance et à grande densité d'intégration. Le circuit de base, réalisé à l'aide de cette technique, est la cellule mémoire SI. De nouvelles structures sont apparues pour améliorer les performances de cette cellule.

Dans ce chapitre, nous nous sommes intéressés à la cellule mémoire S²I qui permet de s'affranchir du phénomène d'injection de charge dépendant du signal d'entrée. La cellule mémoire S²I est utilisée comme un bloc fonctionnel analogique réalisant les fonctions d'échantillonneur, de différentiateur et d'intégrateur. Dans le chapitre II, nous décrivons le convertisseur Sigma Delta qui se compose d'une partie analogique représentée par le modulateur Sigma Delta d'ordre deux et d'une partie numérique constituée généralement d'un filtre décimateur. Le chapitre III traitera les différents blocs nécessaires pour la réalisation du modulateur Sigma Delta et leurs conceptions analogiques.

La conversion analogique-numérique Sigma Delta

INTRODUCTION

De nombreuses fonctions de traitement du signal sont désormais réalisées non plus par des circuits analogiques, mais par des circuits numériques. Ceux-ci sont en effet de plus en plus performants et rapides, et la technologie VLSI (Very Large Scale Integration) permet leur implantation sur des surfaces très faibles. Cependant il est toujours nécessaire d'effectuer une interface entre le monde analogique et le monde numérique. Le développement du numérique a donc créé des besoins en convertisseurs analogique-numérique et numérique-analogique performants, notamment dans le domaine audio qui nécessite des résolutions importantes. Or, il s'est avéré que les convertisseurs classiques n'atteignaient pas des performances élevées sur une surface réduite. C'est donc pour obtenir une grande résolution, tout en ayant une forte intégration, qu'est désormais utilisée la conversion à modulateur $\Sigma\Delta$ dans le domaine audio.

I- LA CONVERSION CLASSIQUE

Le convertisseur analogique-numérique effectue la transition entre le monde analogique et le monde numérique, en échantillonnant le signal analogique et en le quantifiant sur un nombre de bits fini. Les fonctionnalités présentes dans la conversion analogique numérique peuvent être représentées par la figure suivante :

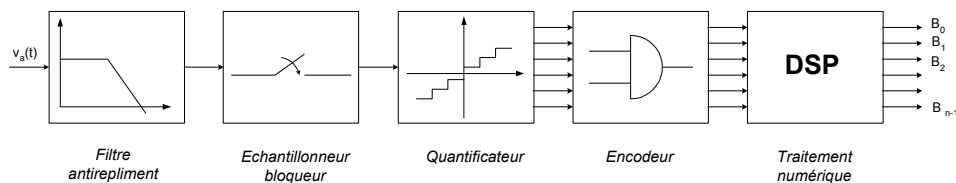


Figure II- 1 : Chaîne de conversion analogique-numérique.

La chaîne de conversion comprend tout d'abord un filtre passe-bas qui évite le repliement du spectre lors de l'échantillonnage en limitant la bande passante du signal d'entrée. Ensuite vient un échantillonneur-bloqueur qui mémorise la valeur du signal d'entrée pendant la phase de conversion pour permettre sa quantification, c'est-à-dire l'association à la valeur d'entrée l'un des niveaux discrets du quantificateur. Un code binaire est alors associé à ce niveau et l'on peut effectuer le traitement numérique du signal. La quantification est une étape essentielle de la conversion, elle entraîne l'adjonction au signal d'un bruit supposé blanc qu'on appelle bruit de quantification et dont la densité spectrale de puissance est :

$$D_{SP} = \frac{q^2}{12F_e} \quad \text{Eq II- 1}$$

avec q le pas de quantification et F_e la fréquence d'échantillonnage.

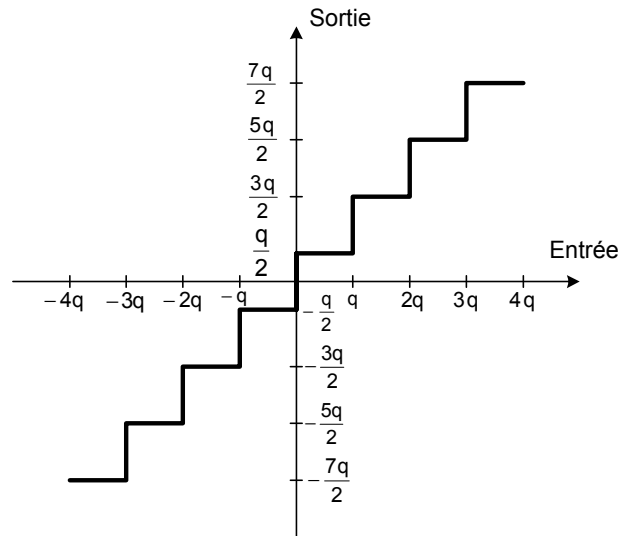


Figure II- 2 : La quantification linéaire.

La quantification est un processus non réversible qui permet la représentation de l'amplitude d'un signal au moyen d'un ensemble fini de niveaux (figure II-2), alors que l'échantillonnage transforme un signal continu dans le temps en un signal à temps discret. La quantification convertit la valeur réelle (au sens mathématique du terme) de l'échantillon prélevé sur le signal en une valeur numérique sur n bits dépendant de la précision désirée. La plus petite différence est fournie par le quantum q tel que :

$$q = \frac{PE}{2^n} \quad \text{Eq II- 2}$$

Puisque la non-linéarité de la quantification rend l'analyse du système difficile, on le linéarise en ajoutant au signal d'entrée une source de bruit $e[n]$ tel que :

$$e = y - x \quad \text{et} \quad |e| \leq \frac{q}{2} \quad \text{Eq II- 3}$$

La modélisation de l'erreur de quantification est représentée dans la figure II-3 :

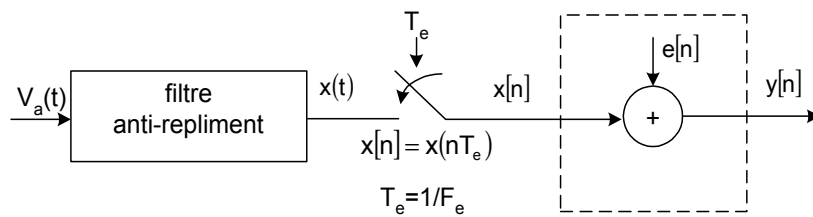


Figure II- 3 : Modélisation du bruit de quantification.

Pour effectuer une analyse spectrale sur le bruit de quantification [Cand-92], des hypothèses sur le processus doivent être prise en compte :

- La séquence d'erreur $e[n]$ est une séquence échantillonnée d'un processus aléatoire stationnaire et ergodique.
- La séquence $e[n]$ est non-corrélé avec la séquence $x[n]$.
- La fonction densité de probabilité du processus d'erreur est uniforme sur $\pm q/2$ pour un CAN par arrondi.
- Les variables aléatoires du processus d'erreur sont non-corrélés et le processus lui-même est considéré comme un bruit blanc.

La puissance du bruit de quantification est alors donnée par :

$$\sigma_e^2 = \int_{-\frac{F_e}{2}}^{\frac{F_e}{2}} \frac{q^2}{12F_e} df = \frac{q^2}{12} = \frac{\left(\frac{PE}{2^n}\right)^2}{12} \quad \text{Eq II- 4}$$

Si la puissance du signal d'entrée est σ_x^2 , le rapport signal sur bruit est donné par :

$$\text{SNR} = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) \quad \text{Eq II- 5}$$

ce qui nous donne en tenant compte de l'équation Eq II-4 :

$$\text{SNR} = 10 \log_{10}(\sigma_x^2) - 10 \log_{10} \left[\left(\frac{PE}{2^n} \right)^2 / 12 \right] \quad \text{Eq II- 6}$$

La puissance du bruit de quantification est répartie dans la bande du signal $[-f_e, +f_e]$ et affecte la précision du convertisseur, il est donc nécessaire de réduire au maximum ce bruit. Les performances d'une chaîne de conversion dépendent du niveau de bruit et sont caractérisées pour un signal d'entrée sinusoïdal d'amplitude égale à la pleine échelle, par le rapport signal sur bruit en décibel :

$$\text{SNR} = 1,76 + 6,02.n \quad \text{Eq II- 7}$$

où n: est le nombre de bits du quantificateur, qu'on appelle résolution.

Pour augmenter le SNR, une première solution consiste à augmenter le nombre de bits, ce qui revient à diminuer q pour $PE = \text{constante}$. Cette solution est difficile à réaliser car, d'une part elle entraîne l'utilisation de quantificateurs complexes et d'autre part, le nombre de bits du quantificateur est limité par des contraintes technologiques (bruit électronique, précision des composants, variations thermiques). Ceci nous mène à l'utilisation de la deuxième solution qui est basée sur le sur-échantillonnage. Cette solution a été retenue pour augmenter les

performances du convertisseur, car en plus de l'augmentation du SNR, il permet le respect de la loi de Shannon ($F_e > 2.f_B$, où f_B est la composante fréquentielle maximale du signal d'entrée). Il permet ainsi de simplifier la réalisation du filtre anti-repliement de la chaîne de conversion [Cand-92].

II- LE SUR-ECHANTILLONNAGE

Le sur-échantillonnage consiste à échantillonner le signal à une fréquence très supérieure à la fréquence de Nyquist qui est la limite minimale définie par le théorème de Shannon. Avec un échantillonnage à la fréquence de Nyquist ($f_N = 2.f_B$), le bruit de quantification est réparti sur la bande de fréquence $[-f_B, +f_B]$. Mais si on échantillonne le signal à une fréquence supérieure à f_N , soit $F_e = M.f_N$ où $M > 1$ est le taux de sur-échantillonnage, le bruit de quantification est alors réparti sur une bande plus large $[(-M/2)f_N, (+M/2)f_N]$. La puissance du bruit dans la bande utile $[-f_B, +f_B]$ sera donc plus faible, comme le montrent les spectres du signal échantillonné à f_N et à $F_e = M.f_N$ (figure II-4 et II-5).

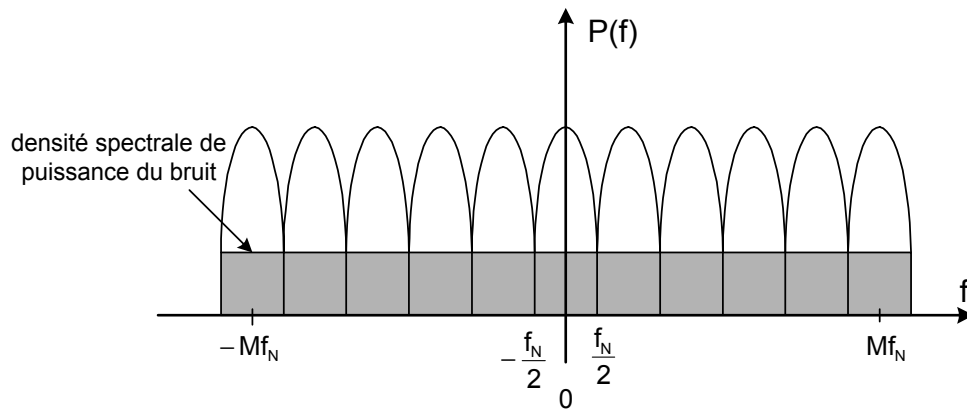


Figure II- 4 : Spectre du signal échantillonné à la fréquence de Nyquist du signal f_N .

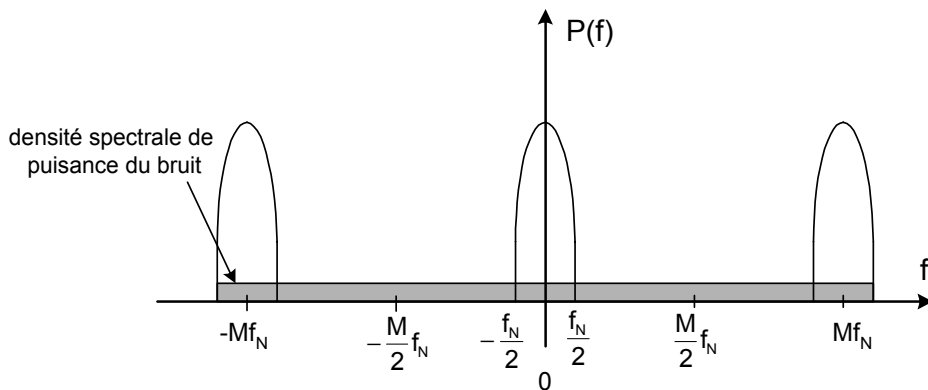


Figure II- 5 : Spectre du signal sur-échantillonné à la fréquence $F_e = M.f_N$.

Dans le cas du sur-échantillonnage, l'erreur de quantification est donc répartie sur une plus large bande de fréquence. Ainsi la puissance du bruit de quantification dans la bande $[-f_B, +f_B]$ est réduite, et par conséquent le rapport signal sur bruit dans la bande de Nyquist sera supérieur à celui obtenu pour un système utilisant un échantillonnage classique à la fréquence de Nyquist. L'analyse spectrale d'un tel processus se fait en transformant l'équation II-3 dans le plan Z, soit :

$$Y(z) = X(z) + E(z) \quad \text{Eq II- 8}$$

où Y, X et E sont les transformées en Z respectives des signaux de la sortie y, de l'entrée x et de l'erreur de quantification e. L'expression de la fonction de transfert de Y(z) en fonction de X(z) et de E(z) n'est pas nécessairement égale à l'unité, ce qui nous amène à écrire l'équation Eq II-8 sous la forme générale suivante :

$$Y(z) = X(z) H_x(z) + E(z) H_e(z) \quad \text{Eq II- 9}$$

La sortie est composée d'un signal d'entrée modulé par une fonction de transfert $H_x(z)$ et d'un bruit de quantification modulé par une fonction de transfert $H_e(z)$. Pour évaluer les performances d'un tel convertisseur, il faut déterminer les densités spectrales de puissance totales associées au signal et au bruit. Pour cela, on considère les densités spectrales respectives $P_{xy}(f)$ et $P_{ey}(f)$ du signal et du bruit à la sortie du convertisseur en fonction des densités spectrales de puissance $P_x(f)$ et $P_e(f)$ du signal et du bruit à l'entrée du convertisseur.

Considérons un processus aléatoire et stationnaire ayant une densité spectrale de puissance $P(f)$. Si ce processus attaque l'entrée d'un filtre linéaire dont la fonction de transfert est $H(f)$, alors la densité spectrale de puissance à la sortie du processus global est $P(f)|H(f)|^2$. Par conséquent, on obtient :

$$P_{xy}(f) = P_x(f) |H_x(f)|^2, \quad P_{ey}(f) = P_e(f) |H_e(f)|^2 \quad \text{Eq II- 10}$$

Pour les convertisseurs utilisant uniquement le procédé de sur-échantillonnage, on a : $|H_x(f)| = |H_e(f)| = 1$. L'approximation du bruit blanc implique que $P_e = \sigma_e^2 / F_e$, ce qui donne $P_{ey}(f) = \sigma_e^2 / F_e$. En supposant qu'un filtre idéal de type passe-bas avec une fréquence de coupure f_B est mis à la sortie du quantificateur sur-échantillonné, alors la puissance du bruit σ_{ey}^2 à la sortie du CAN s'écrit [Per-96] :

$$\sigma_{ey}^2 = \int_{-f_B}^{f_B} P_{ey}(f) df = 2 \int_0^{f_B} \frac{\sigma_e^2}{F_e} df = \sigma_e^2 \left[\frac{2f_B}{F_e} \right] \quad \text{Eq II- 11}$$

L'expression du SNR est alors :

$$\text{SNR} = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_{ey}^2} \right) \quad \text{Eq II- 12}$$

d'où :

$$\text{SNR} = 10 \log_{10}(\sigma_x^2) - 10 \log_{10}(\sigma_e^2) + 10 \log_{10} \left(\frac{F_e}{2f_B} \right) \quad \text{Eq II- 13}$$

Dans le cas où la fréquence de sur-échantillonnage est liée à la fréquence f_B par la relation $F_e/2f_B=2^r$, l'expression du SNR devient :

$$\text{SNR} = 10 \log_{10}(\sigma_x^2) - 10 \log_{10}(\sigma_e^2) + 3.01.r(\text{dB}) \quad \text{Eq II- 14}$$

De cette expression, on voit qu'en multipliant par deux le taux de sur-échantillonnage, le rapport signal sur bruit s'améliore de 3 dB, soit une augmentation de 0.5 bit pour la résolution. Le sur-échantillonnage permet également de simplifier le filtre passe-bas à l'entrée de la chaîne de conversion. Le rôle de ce filtre est d'éliminer les composantes spectrales du signal qui se situent hors de la bande utile $[-f_B, +f_B]$ et qui seraient dupliquées lors de l'échantillonnage et s'ajouteraient au spectre du signal. Grâce au sur-échantillonnage, la bande qui est dupliquée $[-M.f_N/2, +M.f_N/2]$ est plus large que celle à la fréquence de Nyquist, donc les contraintes du filtre sont moins sévères comme le montre la Figure II-6.

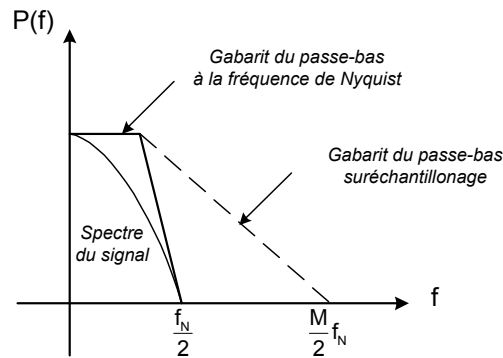


Figure II- 6 : Gabarits des filtres passe-bas avec ou sans sur-échantillonnage.

Il est donc nécessaire que le bruit de quantification soit filtré et par sous-échantillonnage, la cadence des échantillons de sortie sera ramenée à une fréquence proche de la fréquence de Nyquist. Le filtrage à cette étape doit donc être sélectif, mais ceci se fait dans le domaine numérique où un filtre ayant des contraintes sévères est plus facilement réalisable que ne l'est un filtre analogique. Cependant, pour augmenter la résolution du convertisseur de 8 bits on a besoin d'un facteur de sur-échantillonnage $M=2^{16}$, ce qui est énorme. C'est pourquoi une

technique supplémentaire est utilisée pour améliorer le SNR qui consiste en la mise en forme du bruit de quantification (noise shaping)[Cand-92] [Gab-96] permettant ainsi la diminution du facteur M . Cette technique est réalisée par un modulateur $\Sigma\Delta$.

III- LA MODULATION $\Sigma\Delta$

III-1- Introduction

La modulation $\Sigma\Delta$ est une technique très utilisée pour obtenir une haute résolution. Bien que le concept de la modulation $\Sigma\Delta$ existe depuis le milieu du siècle, il est utilisé seulement depuis presque une vingtaine d'année. L'utilisation de la méthode de conversion de type $\Sigma\Delta$ se limite en ce moment aux signaux dont la bande de fréquence utile est petite ou moyenne. Le principe de la modulation $\Sigma\Delta$ est basé sur la modulation Δ [Gab-96].

III-2- La Modulation Δ

C'est une technique simple qui permet de convertir directement un signal analogique en une chaîne de bits (appelée bit stream en anglais) est dont la mise en œuvre ne nécessite que peu de composants, à savoir : un comparateur, un intégrateur et un soustracteur. La Figure II-7 représente un modulateur Δ élémentaire.

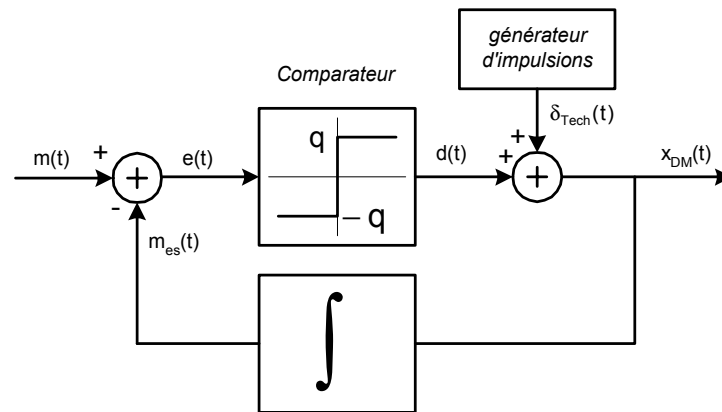


Figure II- 7 : Le modulateur Δ .

On fournit au comparateur le signal $e(t)=m(t)-m_{es}(t)$ ou $m(t)$ est le signal utile à transmettre et $m_{es}(t)$ est le signal correspondant à l'estimation de $m(t)$ en forme de marche d'escaliers. La sortie du comparateur a pour expression :

$$d(t) = q \cdot \text{sgn}[e(t)] = \begin{cases} +q & e(t) > 0 \\ -q & e(t) < 0 \end{cases} \quad \text{Eq II- 15}$$

où $\text{sgn}[e(t)]$ est la fonction signe dont la sortie égale à -1 si $e(t) < 0$ et $+1$ si $e(t) > 0$.

Le signal fourni par le modulateur delta a donc pour expression :

$$x_{\text{DM}}(t) = q \sum_{n=-\infty}^{\infty} \text{sgn}[e(t)] \delta(t - nT_{\text{éch}}) \quad \text{Eq II- 16}$$

où $\sum_{n=-\infty}^{\infty} \delta(t - nT_{\text{éch}})$ est le peigne de Dirac représentant l'échantillonnage.

Le signal de sortie de ce modulateur est donc constitué d'une suite d'impulsions de polarité positive ou négative, suivant le signe de $e(t)$ à l'instant où l'on échantillonne $m(t)$. En intégrant $x_{\text{DM}}(t)$, on obtient :

$$m_{\text{es}} = \sum_{n=-\infty}^{\infty} q \cdot \text{sgn}[e(nT_{\text{éch}})] \quad \text{Eq II- 17}$$

qui est une approximation par échelons du signal $m(t)$, comme le montre la figure II-8.

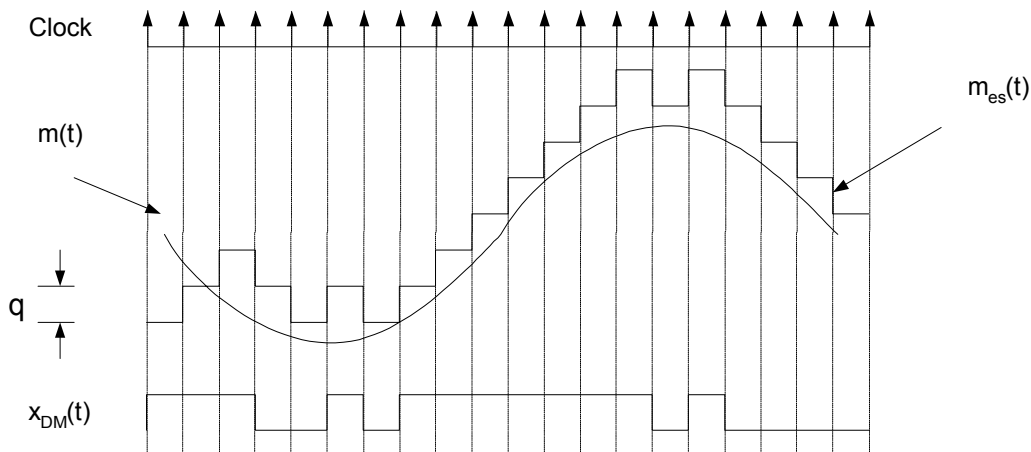


Figure II- 8 : La modulation Delta.

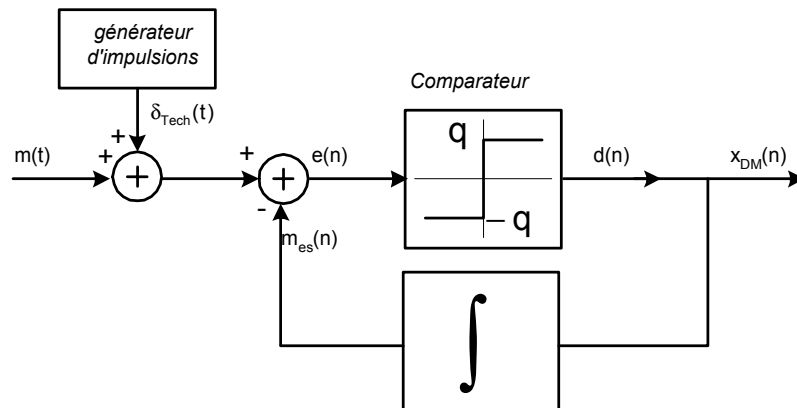
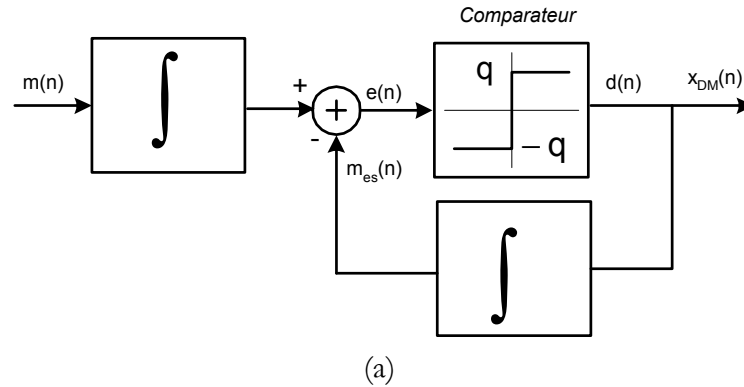


Figure II- 9 : Structure du modulateur Delta modifié.

On constate que la variable m_{es} estimée suit le signal d'entrée $m(t)$, on en déduit que la sortie numérique code la dérivée du signal d'entrée, puisque m_{es} est l'intégrale de la sortie, donc pour avoir un code numérique correspondant au signal d'entrée, il suffit d'ajouter un intégrateur à l'entrée et la modulation Δ se transforme en modulation $\Sigma\Delta$ comme le montre la figure II-10.



Puisque l'opération d'intégration est linéaire, on peut modifier le montage pour obtenir le modulateur $\Sigma\Delta$ du premier ordre.

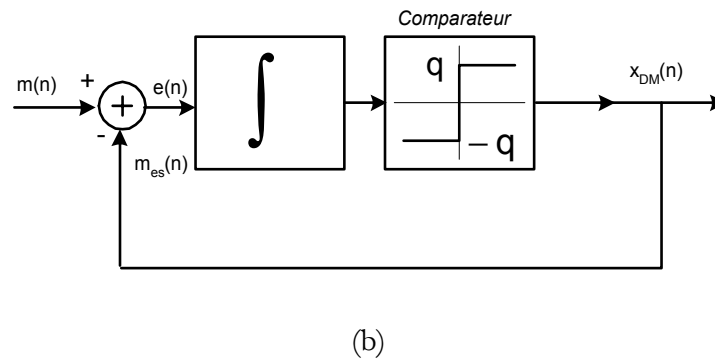


Figure II- 10 : (a) Modulateur Sigma Delta à partir d'un modulateur Delta, (b)Modulateur Sigma Delta de premier ordre.

III-3- La modulation $\Sigma\Delta$

Comme nous l'avons vu précédemment, le sur-échantillonnage permet d'augmenter la résolution effective d'un quantificateur. Toutefois, pour des raisons technologiques et de faible consommation, la fréquence d'échantillonnage ne peut être augmentée infiniment. Pour encore accroître les performances, une autre technique lui est ajoutée: la mise en forme du bruit de quantification. L'idée est toujours de rejeter le bruit de quantification en dehors de la bande utile $[-f_B, +f_B]$. Pour cela, on place le quantificateur dans une boucle d'asservissement qui va multiplier le bruit avec une fonction de mise en forme NTF(z) (Noise Transfer Function) et le signal d'entrée avec une fonction passe-tout STF(z) (Signal Transfer Function). La fonction de mise en forme de bruit est une fonction de type sinus. Le bruit est plus ou

moins rejeté suivant le degré de la fonction représentant l'ordre du modulateur $\Sigma\Delta$. Typiquement, le signal de sortie d'un modulateur $\Sigma\Delta$ passe-bas s'écrit :

$$Y(z) = X(z).STF(z) + E(z).NTF(z) \quad \text{Eq II- 18}$$

où $X(z)$ et $E(z)$ sont respectivement les transformées en Z du signal d'entrée et du bruit de quantification. Le spectre du signal de sortie est illustré à travers la figure II-11.

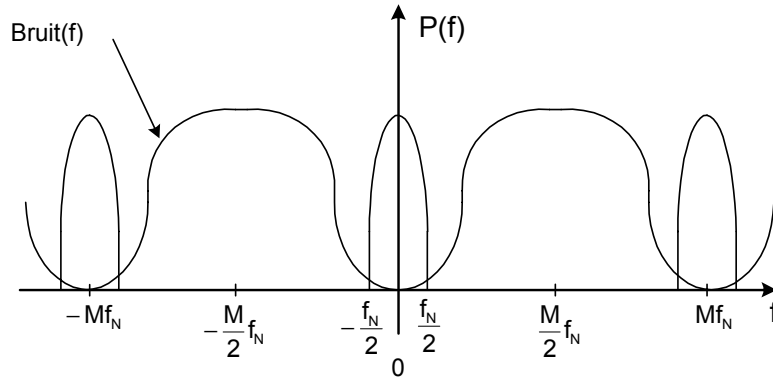


Figure II- 11 : Spectre du signal après mise en forme du bruit.

Pour corroborer ce résultat, il suffit de considérer le modèle non linéaire du modulateur $\Sigma\Delta$ du premier ordre avec un quantificateur sur n bits.

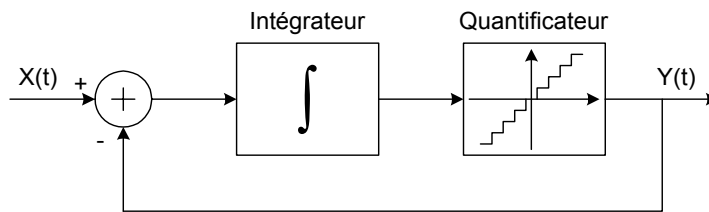


Figure II- 12 : Modulateur $\Sigma\Delta$ non linéaire d'ordre 1.

Le quantificateur est ensuite modélisé par un additionneur dont l'une des entrées est le signal issu de l'intégrateur et l'autre un bruit blanc ayant les caractéristiques spectrales et statistiques du bruit de quantification. De plus, comme les signaux sont discrets, on obtient le modèle linéaire dans le plan en Z suivant :

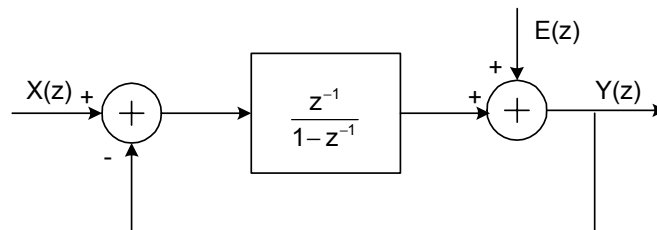


Figure II- 13 : Modèle linéaire dans le plan en Z.

L'étude de système aboutit à l'équation suivante :

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad \text{Eq II- 19}$$

où il apparaît clairement que le bruit de quantification est mis en forme par une fonction de type sinus dont la transformée en Z est $(1 - z^{-1})$ qui correspond à un filtre passe-haut.

Le modèle d'ordre 1 peut se généraliser à l'ordre k en mettant en série k intégrateurs suivis d'un unique quantificateur comme le montre la figure II-14. Cela permet une plus forte réjection du bruit de quantification par une augmentation de l'ordre du filtre passe-bas $(1 - z^{-1})^k$.

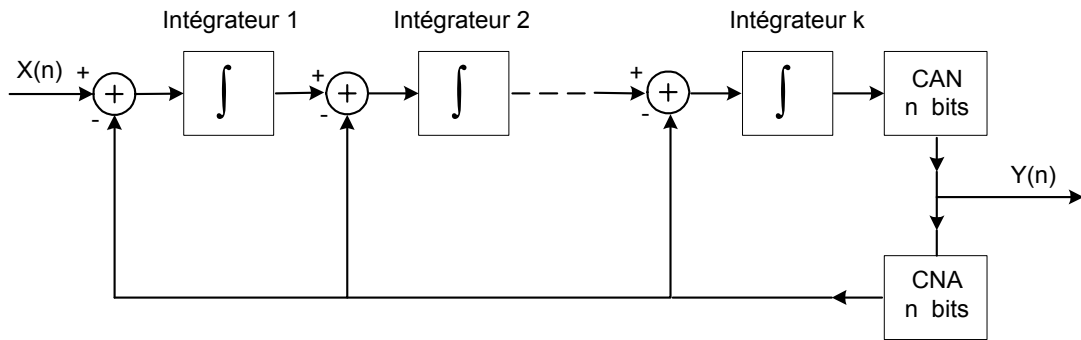


Figure II- 14 : Codeur d'ordre k à mise en forme de bruit du modulateur $\Sigma\Delta$ d'ordre k.

La fonction de transfert pour un ordre k est donc:

$$Y(z) = X(z).z^{-p} + E(z).(1 - z^{-1})^k \quad \text{Eq II- 20}$$

où $p \in \{0,1\}$ dépend de la structure du dernier intégrateur (retardé ou non retardé). En effet, l'intégrateur peut être représenté de deux manières, non retardé (type1) et retardé (type2) :

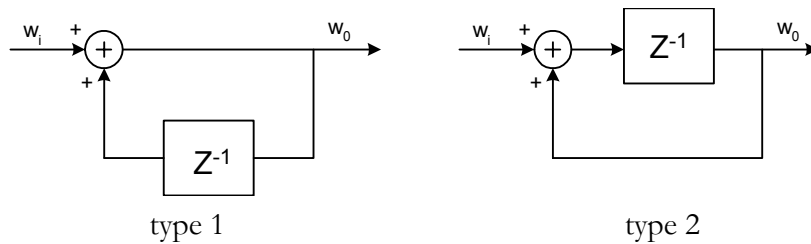


Figure II- 15 : Les deux types d'intégrateurs.

Les sorties w_0 des deux intégrateurs type 1 et type 2 sont respectivement :

$$w_0(nT) = w_0[(n-1)T] + w_i(nT) \quad \text{Eq II- 21}$$

$$w_0(nT) = w_0[(n-1)T] + w_i[(n-1)T] \quad \text{Eq II- 22}$$

Où w_i est l'entrée de l'intégrateur et T est la période d'horloge.

La sortie de l'intégrateur de type 1, évoluant en même temps que son entrée durant l'intervalle $(n-1)T < t \leq nT$, ne pourra être quantifié qu'à partir du temps nT . Par conséquent, pour la période $(n-1)T < t \leq nT$, la sortie du CNA de rebouclage est liée à la sortie au temps $(n-1)T$ du $k^{\text{ième}}$ intégrateur. Le modèle en temps discret du CNA est donc représenté par un simple retard (figure II-16-a). Par contre, la sortie de l'intégrateur de type 2 est disponible et constante dès le début de l'intervalle $(n-1)T < t \leq nT$, le CAN et le CNA fournissent la valeur de rebouclage au modulateur sans attendre une période T . Dans ce cas, le rebouclage est direct (figure II-16-b).

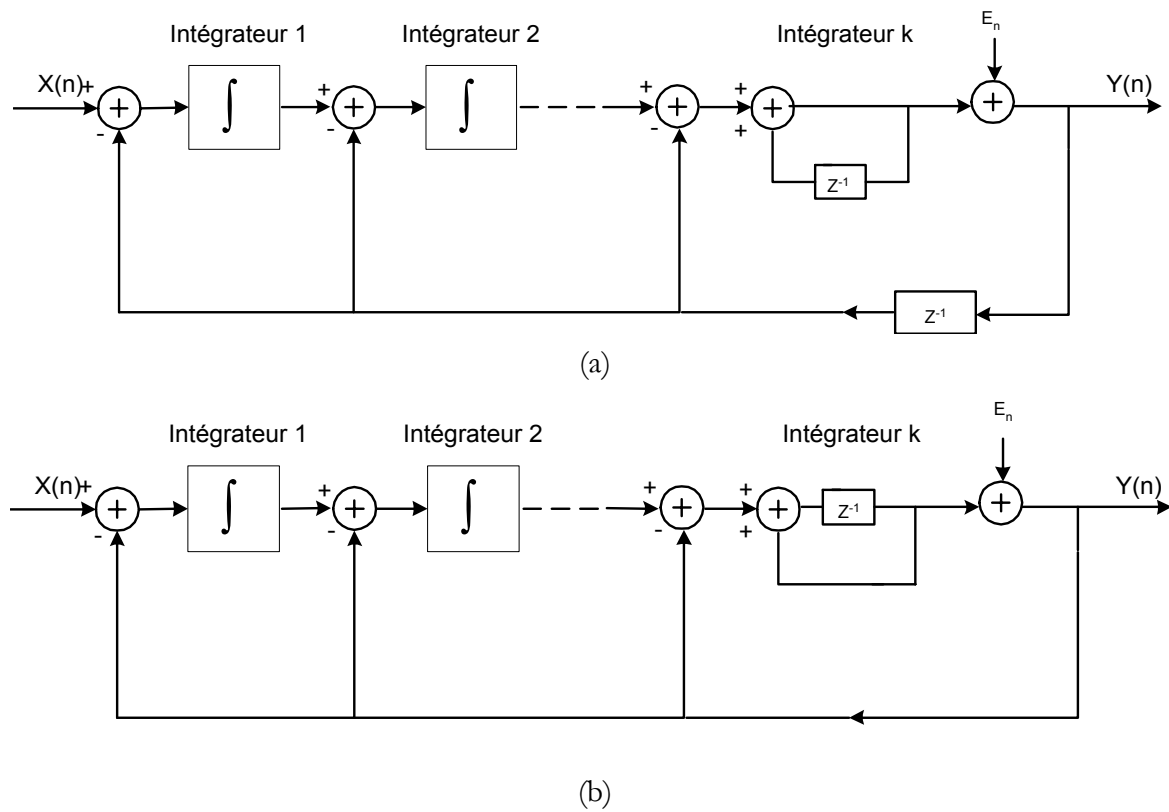


Figure II- 16 : Modèle à temps discret d'un modulateur $\Sigma\Delta$ d'ordre k (a,b).

On distingue alors deux types de structure du modulateur $\Sigma\Delta$ d'ordre k , les $(k-1)$ premiers étages sont constitués d'intégrateurs de type 1. Le dernier étage dépendra de la structure choisie du modulateur. En effet, l'intégrateur du dernier étage peut être de type 2 et le retour sera unitaire (figure II-16-b), ou bien l'intégrateur de dernier étage est de type 1 et le retour sera retardé (figure II-16-a); la sortie $Y(z)$ dans les deux cas s'écrit alors :

$$Y(z) = z^{-P}X(z) + (1 - z^{-1})^k E(z) \quad \text{Eq II- 23}$$

avec $\begin{cases} P=0, \text{ figure II-16-a} \\ P=1, \text{ figure II-16-b} \end{cases}$

Dans le domaine fréquentiel, la sortie du modulateur correspond à la somme du spectre du signal d'entrée et du spectre du bruit de quantification mis en forme par la fonction $(1-z^{-1})^k$. La représentation fréquentielle de l'expression $(1-z^{-1})^k$ est $(2\sin(\pi f/F_e))^k$ où F_e est la fréquence d'échantillonnage.

En admettant que la puissance des signaux se trouve dans la plage de fréquence $0 \leq f < \infty$, cette sortie contient, donc, un bruit dont la densité spectrale s'écrit :

$$|N(f)| = |(1-z^{-1})^k| E(f) \quad \text{Eq II- 24}$$

où la valeur efficace du bruit [Cand-92] est :

$$E(f) = \frac{q}{\sqrt{12}} \sqrt{\frac{2}{F_e}} \quad \text{Eq II- 25}$$

or

$$z = e^{-j2\pi f / F_e} \quad \text{Eq II- 26}$$

d'où

$$|N(f)| = 2^k \sin^k\left(\pi \frac{f}{F_e}\right) \frac{q}{\sqrt{6F_e}} \quad \text{Eq II- 27}$$

où q est le pas de quantification du convertisseur analogique numérique dans la boucle de rétroaction, F_e est la fréquence d'échantillonnage et k l'ordre du modulateur. La figure II-17 représente la répartition spectrale du bruit de quantification en fonction de l'ordre du modulateur.

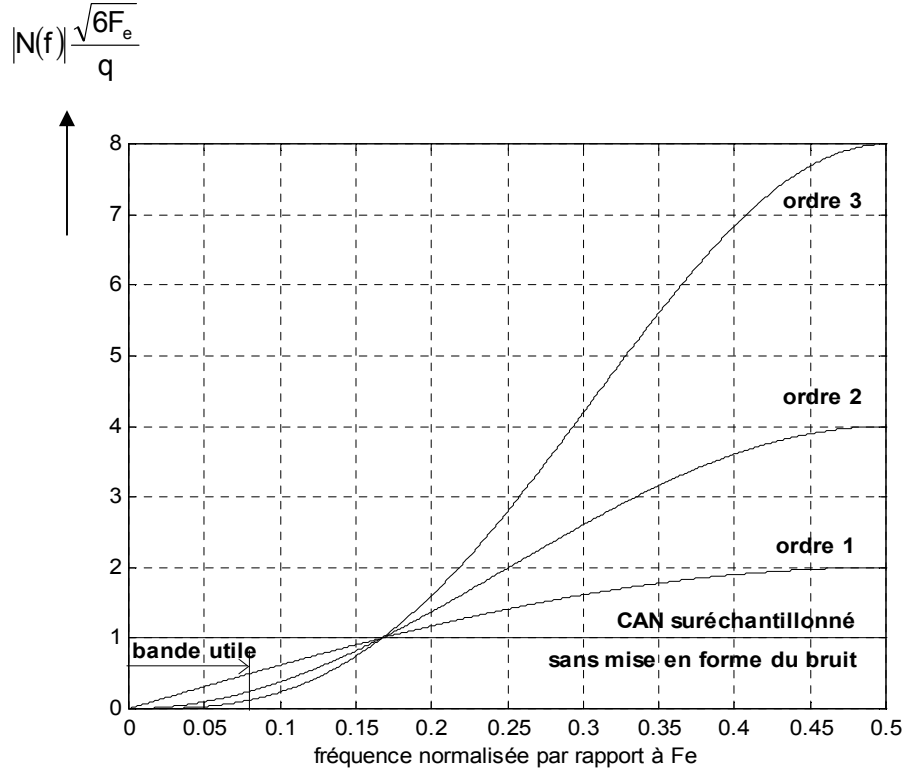


Figure II- 17 : Représentation du bruit de quantification à la sortie du modulateur $\Sigma\Delta$ pour les ordres $k=1, 2, 3$.

La puissance de bruit dans la bande utile $[0, f_B]$ du signal est :

$$N_0^2 = \int_0^{f_B} |N(f)|^2 df \quad \text{Eq II- 28}$$

$$N_0^2 = 2^{2k} \frac{q^2}{6F_e} \int_0^{f_B} \sin^2\left(\pi \frac{f}{F_e}\right) df \quad \text{Eq II- 29}$$

Puisque $(f/F_e) \ll 1$, nous approximations l'intégrale en utilisant le premier terme du développement du sinus, ce qui donne :

$$N_0^2 = \frac{q^2}{12} \frac{\pi^{2k}}{2k+1} \left(\frac{2f_B}{F_e}\right)^{2k+1} \quad \text{Eq II- 30}$$

On pose $M = F_e/2f_B$; correspondant au taux de sur-échantillonnage, on a alors :

$$N_0^2 = \frac{q^2}{12} \frac{\pi^{2k}}{(2k+1)M^{2k+1}} \quad \text{Eq II- 31}$$

Le rapport signal sur bruit est calculé en prenant le rapport entre la puissance du signal d'entrée et la puissance du bruit. Pour un signal sinusoïdal à l'entrée d'amplitude A , le rapport signal sur bruit, SNR, vaut :

$$\text{SNR} = \frac{A^2}{2} \frac{12}{q^2} \frac{(2k+1)M^{2k+1}}{\pi^{2k}} \quad \text{Eq II- 32}$$

De cette relation, on définit l'augmentation du SNR par la modulation $\Sigma\Delta$ d'ordre k pour une valeur de M donné lorsque le signal issu du modulateur est filtré.

$$\Delta\text{SNR}_{\text{dB}} = 10 \log \left(\frac{(2k+1)M^{2k+1}}{\pi^{2k}} \right) \quad \text{Eq II- 33}$$

On voit que l'augmentation du SNR, donc de la résolution, dépendra de l'ordre du modulateur et du taux de sur-échantillonnage. De plus, lorsque l'on considère $k=0$, on obtient bien la relation correspondant à un système n'utilisant que le principe du sur-échantillonnage, soit :

$$\Delta\text{SNR}_{\text{dB}} = 10 \log(M) \quad \text{Eq II- 34}$$

Prenons les deux cas où $k=1$ et $k=2$:

$$\Delta\text{SNR}_{\text{dB}} = 10 \log \left(\frac{3}{\pi^2} \right) + 30 \log(M) \quad k=1 \quad \text{Eq II- 35}$$

$$\Delta\text{SNR}_{\text{dB}} = 10 \log \left(\frac{5}{\pi^4} \right) + 50 \log(M) \quad k=2 \quad \text{Eq II- 36}$$

De ces trois relations précédentes, on voit qu'un M égal à 16 permet une augmentation de 12dB pour $k=0$, 36dB pour $k=1$, et 60dB pour $k=2$. Cela veut dire que l'on peut espérer une augmentation de 10 bits pour un modulateur $\Sigma\Delta$ d'ordre 2 avec un $M=16$, alors qu'elle ne sera que de 2 bits pour un simple CAN utilisant le même sur-échantillonnage. La figure II-18 donne l'évolution du ΔSNR pour les différentes valeurs de k en fonction de M .

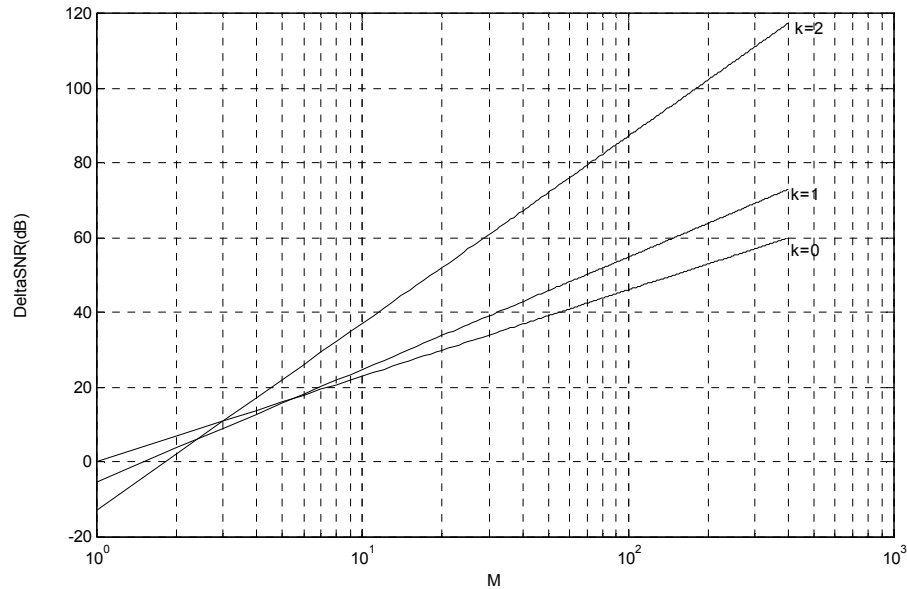


Figure II- 18 : Evolution du ΔSNR pour différentes valeurs de k (0, 1, 2) en fonction de M .

On pourrait donc penser qu'il suffit d'augmenter l'ordre k pour obtenir la résolution souhaitée. Mais ceci n'est pas aisé car il faut tenir compte de l'évolution temporelle du circuit et de son instabilité dès que l'ordre est supérieur à 2. C'est ce que nous allons voir maintenant.

IV- ETUDE TEMPORELLE DU MODULATEUR SIGMA DELTA DU PREMIER ORDRE

IV-1- Principe de fonctionnement

La figure II-19 représente un modulateur $\Sigma\Delta$ d'ordre 1 dans sa configuration la plus courante, celui d'un quantificateur 1 bit.

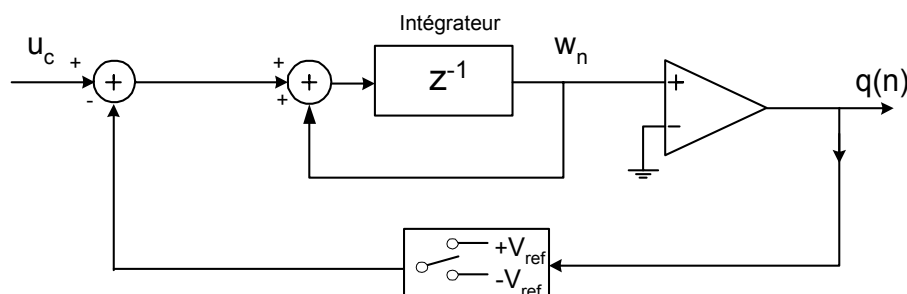


Figure II- 19 : Modulateur Sigma Delta d'ordre 1.

Nous allons effectuer son analyse temporelle lorsque celui-ci est attaqué par un niveau constant. L'erreur entre l'entrée constante et la valeur moyenne d'une séquence de longueur N prélevée à la sortie du modulateur est donnée par :

$$\varepsilon_N = u_c - \frac{V_{\text{ref}}}{N} \sum_{n=k}^{N+k} \text{Sgn}[w(n)] \quad \text{Eq II- 37}$$

Pour une période complète, l'erreur ε_N est nulle si la valeur d'entrée u_c est un nombre rationnel du type p/q , pouvant alors égaler le nombre rationnel :

$$\frac{p'}{q'} = \frac{V_{\text{ref}} \sum_{n=k}^{N+k} \text{Sgn}[w(n)]}{N} \quad \text{Eq II- 38}$$

où p'/q' est une fraction irréductible.

En fait, si on veut que ε_N soit nul, il faudra adapter N de manière à assurer cette relation. Les figures suivantes montrent bien cet état de fait. En effet, nous avons pris $V_{\text{ref}}=1$ et trois valeurs pour 0, 0.6 et $1/7$. Dans le premier cas, il faut que $N=2,4,6,\dots$; pour $u_c=0.6$, N sera égale à 5 et pour $u_c=1/7$, on aura $N=7$.

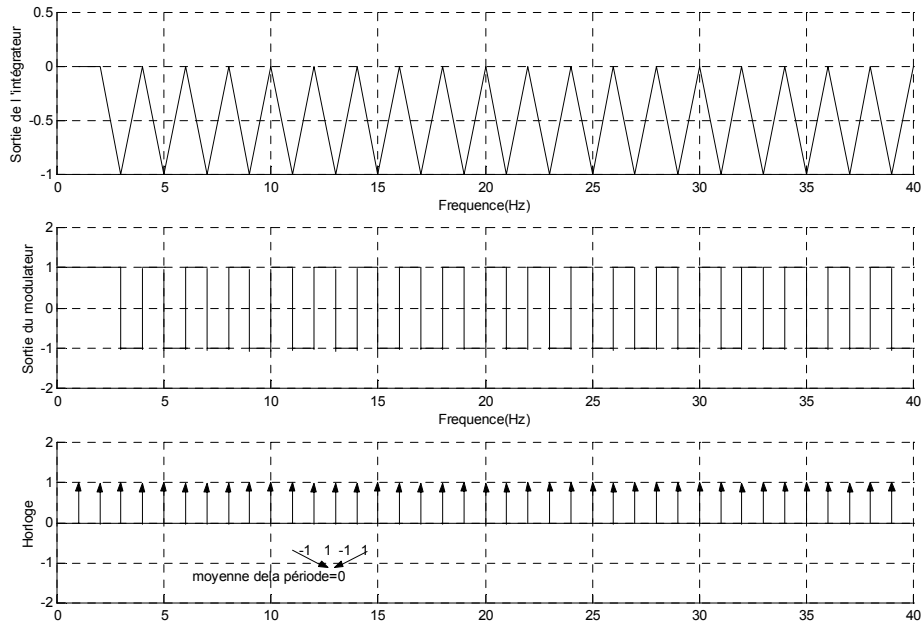


Figure II- 20 : Les Sorties de l'intégrateur et du comparateur du modulateur $\Sigma\Delta$ d'ordre 1 pour une entrée $u_c=0$.

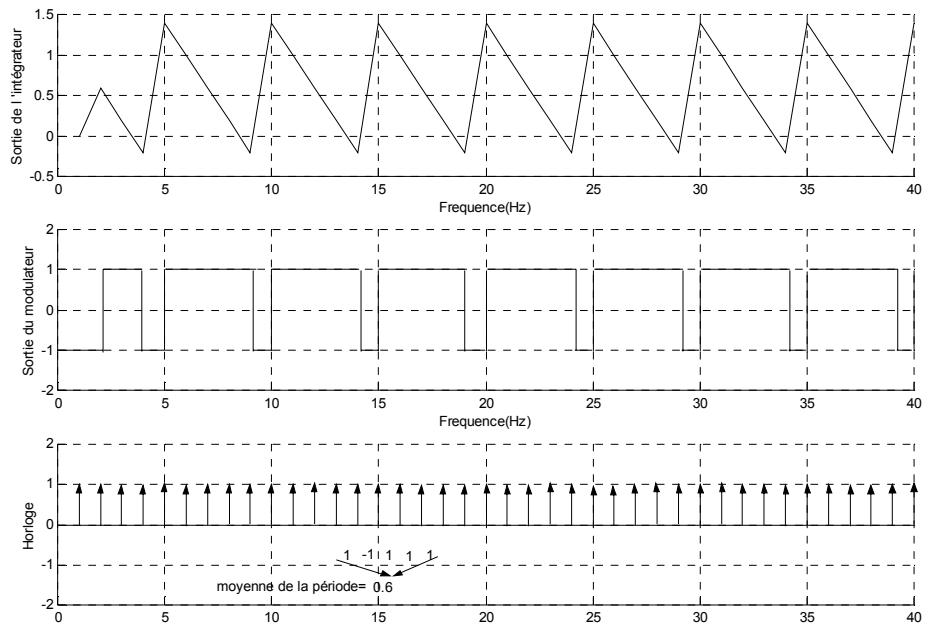


Figure II- 21 : Les Sorties de l'intégrateur et du comparateur du modulateur $\Sigma\Delta$ d'ordre 1 pour une entrée $u_c=0.6$.

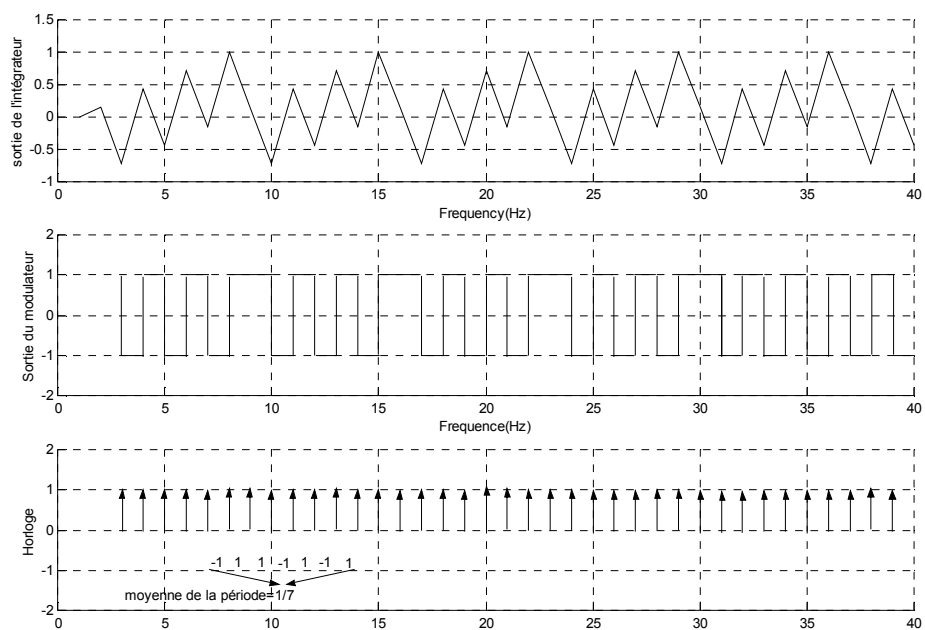


Figure II- 22 : Les Sorties de l'intégrateur et du comparateur du modulateur $\Sigma\Delta$ d'ordre 1 pour une entrée $u_c = \frac{1}{7}$.

Le problème est que N sera constant dans le processus de conversion de type $\Sigma\Delta$, c'est pourquoi, il vaut mieux le choisir assez grand pour faire tendre ϵ_N vers 0 (En fait, N est directement lié à M).

IV-2- Dynamique d'entrée

Comme nous venons de le voir, la conversion des signaux d'amplitude très faible est réalisable, mais cette opération nécessite des temps d'intégration très longs à l'inverse si le niveau d'entrée u_c dépasse V_{ref} , l'intégrateur entre en régime de saturation, car les valeurs intégrées $u_c - V_{ref}$ et $u_c + V_{ref}$ sont de même signe. Nous allons donc regarder comment se comporte le modulateur $\Sigma\Delta$ d'ordre 1 pour une entrée alternative et déterminer la dynamique d'entrée.

IV-2-1- Performance pour une entrée alternative

Le modulateur montré dans la figure II-19 est défini dans le domaine temporel par le système d'équations non linéaires suivantes :

$$\begin{cases} w_n = w_{n-1} + u_{n-1} - q_{n-1}(w_{n-1}) \\ q_{n-1} = \begin{cases} +V_{ref} & w_n \geq 0 \\ -V_{ref} & w_n \leq 0 \end{cases} \end{cases} \quad \text{Eq II- 39}$$

On considère une entrée sinusoïdale d'amplitude A , autour d'un niveau moyen u_c défini comme suit :

$$u_n = u_c + v_n = u_c + A \sin\left(n \frac{2\pi f_B}{F_e}\right) \quad \text{Eq II- 40}$$

où $|u_c| < V_{ref}$, et v_n est la forme d'onde alternative.

Le but de cette étude est de faire apparaître, sous une forme simplifiée, le signal d'entrée dans l'expression w_n qui est la sortie de l'intégrateur. En effet, si un problème doit apparaître, ce sera au niveau de l'intégrateur qui risque de se mettre en régime de saturation.

Pour cela, nous posons :

$$\beta_{n+1} - \beta_n = v_n \quad \text{Eq II- 41}$$

d'où

$$\beta_n - \beta_0 = \sum_{j=0}^{n-1} v_j \quad \text{Eq II- 42}$$

avec (voir annexe B1) :

$$\beta_0 = -A \frac{\cos\left(-\frac{\pi f_B}{F_e}\right)}{2\sin\left(\frac{\pi f_B}{F_e}\right)} \quad \text{Eq II- 43}$$

et

$$\beta_n = -A \frac{\cos\left[\left(n - \frac{1}{2}\right) \frac{2\pi f_B}{F_e}\right]}{2\sin\left(\frac{\pi f_B}{F_e}\right)} \quad \text{Eq II- 44}$$

La variable d'état w_n peut s'écrire sous la forme :

$$w_n = w_0 + \sum_{j=0}^{n-1} (u_j - q(w_j)) \quad \text{Eq II- 45}$$

soit

$$w_n = w_0 + nu_c + \sum_{j=0}^{n-1} (v_j - q(w_j)) \quad \text{Eq II- 46}$$

où w_0 est la condition initiale du système au niveau de l'intégrateur. On a donc :

$$w_n = w_0 + \beta_n - \beta_0 + nu_c - \sum_{j=0}^{n-1} q(w_j) \quad \text{Eq II- 47}$$

Nous allons dans la suite utiliser cette expression pour calculer la dynamique du signal d'entrée que l'on peut appliquer sur un modulateur $\Sigma\Delta$ d'ordre 1 tout en conservant un fonctionnement normal.

IV-2-2- Le niveau maximum de l'entrée

Le modulateur sigma delta mémorise l'erreur de conversion w_n en l'intégrant. Il modifie w_n afin de changer son signe, en un nombre de coups d'horloge variable suivant l'entrée. Lorsque l'on regarde la figure II-23 on constate que, pour une amplitude maximale A_{\max} , ce basculement ne s'effectue pas toujours. En effet, sur une demi période de l'entrée sinusoïdale $v_n = A \sin\left(\frac{2n\pi f_B}{F_e}\right)$ il existe une amplitude maximale A_{\max} au delà laquelle on a :

$$\begin{cases} w_{n-1} > w_n > 0 & (a) \\ 0 < w_n < w_{n+1} & (b) \end{cases} \quad \text{Eq II- 48}$$

C'est à ce moment là que des problèmes de saturation peuvent survenir, il nous faut chercher cette amplitude pour la quelle le système Eq II-48 est satisfait, correspondant à l'amplitude maximale qu'il ne faudra pas dépasser.

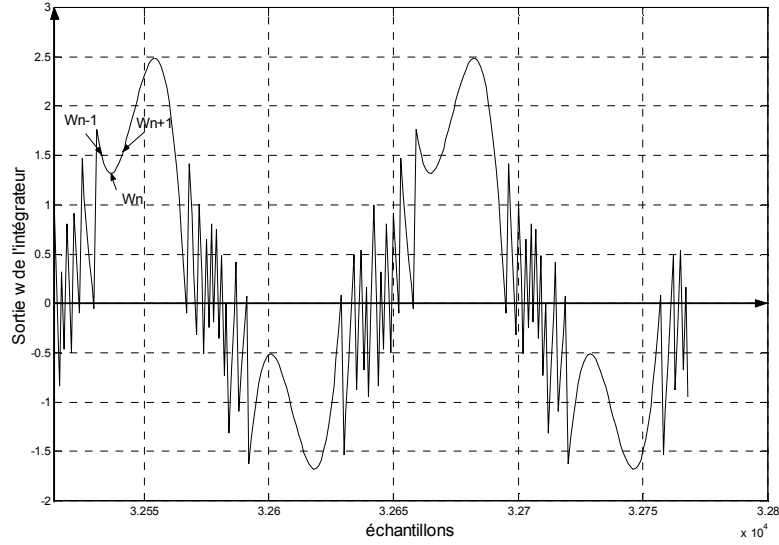


Figure II- 23 : Sortie de l'intégrateur d'un modulateur $\Sigma \Delta$ d'ordre 1 pour une amplitude du signal d'entrée à $1.1V_{ref}$.

L'inégalité Eq II-48-a, et les équations Eq II-44 et Eq II-47 donnent alors (Annexe B2):

$$A_1(n) = \frac{V_{ref} - u_c}{\sin\left[(n-1)\frac{2\pi f_B}{F_e}\right]} > A \quad \text{Eq II- 49}$$

et

$$A_2(n) = \frac{V_{ref} - u_c}{\sin\left[n\frac{2\pi f_B}{F_e}\right]} < A \quad \text{Eq II- 50}$$

On a alors :

$$A_2 < A_{max} < A_1 \quad \text{Eq II- 51}$$

ce niveau d'entrée maximum est lié au cas où l'entrée intégrée pendant une période d'échantillonnage dépasse le niveau de référence V_{ref} . La figure II-24 illustre les inégalités Eq II-48-a et Eq II-48-b. La droite d'ordonnée A ne doit pas traverser la région hachurée pour que la conversion $\Sigma\Delta$ ne diverge pas; on prendra donc :

$$A \leq A_{max} = V_{ref} - u_c \quad \text{Eq II- 52}$$

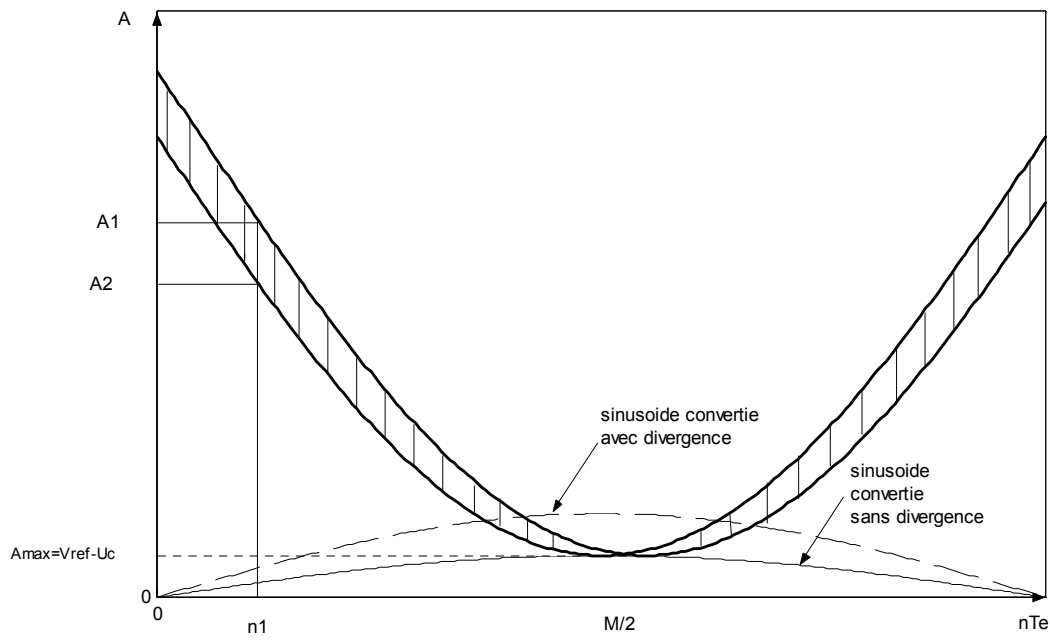


Figure II- 24 : Le modulateur $\Sigma\Delta$ ne différencie pas les valeurs supérieures à A_{\max} .

IV-2-3- Le niveau minimum de l'entrée

Si l'entrée possède une amplitude proche de 0, elle est codée par une alternance régulière de niveau $[+V_{\text{ref}}, -V_{\text{ref}}]$. Ce cas se présente lorsque au cours d'une demi période du signal d'entrée la sortie de l'intégrateur n'atteint pas la valeur de V_{ref} . Dans ce cas, l'équation Eq II-47 avec $\Sigma q(w_i) = 0$, $u_c = 0$ entraîne :

$$w_M - w_0 = \beta_M - \beta_0 = V_{\text{ref}} \quad \text{Eq II- 53}$$

où $M = F_e / 2f_B$ est le rapport de sur-échantillonnage.

d'où, on obtient (Annexe B3) :

$$A = A_{\min} = V_{\text{ref}} \operatorname{tg}\left(\frac{\pi}{2M}\right) \quad \text{Eq II- 54}$$

La dynamique d'entrée en régime alternatif est définie par A_{\max}/A_{\min} , pour $u_c = 0$;

$$\text{dyn}_{\text{AC}} = \frac{1}{\operatorname{tg}\left(\frac{\pi}{2M}\right)} \quad \text{Eq II- 55}$$

V- ETUDE COMPORTEMENTALE DU MODULATEUR $\Sigma\Delta$ DU SECOND ORDRE

V-1- Evolution de la sortie de l'intégrateur

La figure II-25 présente un modulateur du 2^{ième} ordre avec deux intégrateurs ; la sortie de chaque intégrateur est limitée. Cette limitation peut être représentée pour le cas de la sortie w_n , par l'expression suivante :

$$w_n = \begin{cases} w_n & \text{si } |w_n| \leq V_{\text{sat}} \\ V_{\text{sat}} \cdot \text{sign}(w_n) & \text{si } |w_n| > V_{\text{sat}} \end{cases} \quad \text{Eq II- 56}$$

où V_{sat} est la sortie maximale de l'intégrateur et **sign** est la fonction signe.

Cette contrainte sur la sortie des deux intégrateurs engendre une perte d'information sur les variables d'états (w_n, x_n) et par conséquent une dégradation des performances du modulateur.

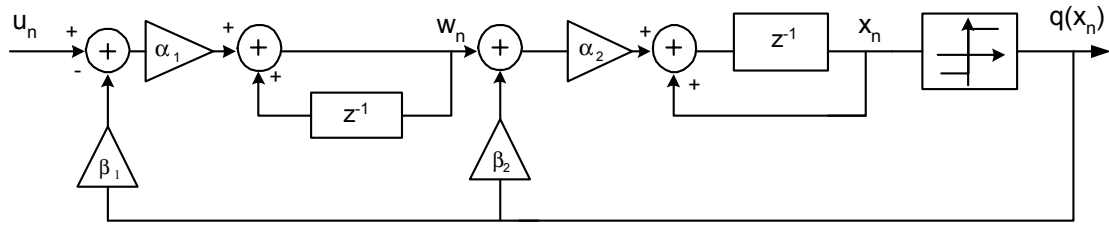


Figure II- 25 : Modèle à temps discret d'un modulateur Sigma Delta d'ordre 2.

Il est donc intéressant de déterminer analytiquement l'évolution des limites des sorties des deux intégrateurs en fonction des gains ($\alpha_1, \alpha_2, \beta_1, \beta_2$) du modulateur. Ceci permet d'orienter les simulations analogiques et de contrôler les résultats souvent difficiles à obtenir [Hein-93].

Pinault et Lopersti ont montré la stabilité d'un modulateur $\Sigma\Delta$ d'ordre 2 pour une entrée égale à une somme finie de sinusoides et dans le cas particulier où ($\alpha_1=\alpha_2=\beta_1=\beta_2=1$) [Pinault-93]. Par conséquent, les valeurs maximales et minimales des variables d'état w_n et x_n sont déterminées pour un jeu de paramètres donné ($\alpha_1, \alpha_2, \beta_1, \beta_2$) et pour une entrée continue. Le modulateur Sigma Delta d'ordre 2 de la figure II-25 est représenté par les expressions non linéaires suivantes :

$$\begin{aligned} w_n &= w_{n-1} + \alpha_1 u_{n-1} - \alpha_1 \beta_1 q(x_{n-1}) \\ x_n &= x_{n-1} + \alpha_2 w_n - \alpha_2 \beta_2 q(x_{n-1}) \\ q(x_n) &= \begin{cases} +1 & x_n \geq 0 \\ -1 & x_n < 0 \end{cases} \end{aligned} \quad \text{Eq II- 57}$$

Pour une entrée constante $u_n=u_c$ et quelque soit n , la sortie du premier intégrateur est donné en fonction de $q(x)$ par la relation suivante :

$$w_n = w_0 + n\alpha_1 u_c - \alpha_1 \beta_1 \sum_{i=0}^{n-1} q(x_i) \quad \text{Eq II- 58}$$

La sortie du deuxième intégrateur est donnée en fonction de $q(x)$ par :

$$x_n = x_0 + \alpha_2 \sum_{i=1}^n w_i - \alpha_2 \beta_2 \sum_{i=0}^{n-1} q(x_i) \quad \text{Eq II- 59}$$

En tenant compte de l'équation Eq II-58 dans Eq II-59, on obtient alors:

$$x_n = x_0 + \alpha_2 \left[w_0 + \frac{\alpha_1 u_c}{2} \right] n + \frac{\alpha_1 \alpha_2 u_c}{2} n^2 - \alpha_1 \alpha_2 \beta_1 \sum_{i=0}^{n-1} (n-i) q(x_i) - \alpha_2 \beta_2 \sum_{i=0}^{n-1} q(x_i) \quad \text{Eq II- 60}$$

Afin d'effectuer l'analyse de ces signaux, plaçons nous dans le cas particulier suivant :

$$q(x_0) = q_0 = \begin{cases} +1 & \text{pour } i = 0, 1, \dots, r-1 \\ -1 & \end{cases} \quad \text{Eq II- 61}$$

où r est la longueur d'une séquence de valeurs identiques notée $S_{q_0}^k$, prélevée à la sortie du modulateur et composée uniquement de $q_0=+1$ ou $q_0=-1$, k étant le numéro de la séquence. La figure II-26 montre une séquence de ce type.

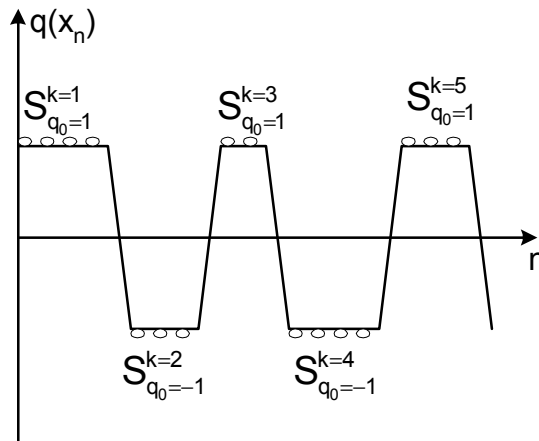


Figure II- 26 : La sortie du modulateur.

L'indice 0 pour x_0 dans l'équation Eq II-60 indique le premier élément d'une séquence ($q_0=1$ pour $x_0 \geq 0$ et $q_0=-1$ pour $x_0 < 0$); ce même indice dans les équations II-58 et II-59 représente les conditions initiales observées à l'instant $t_0=0$.

A partir des équations II-58 , II-60 et II-61, on obtient w_n tel que pour $0 \leq n \leq r$:

$$w_n = w_0 + \alpha_1(u_c - \beta_1 q_0)n \quad \text{Eq II- 62}$$

$$x_n = x_0 + \alpha_2 \left[w_0 + \frac{\alpha_1 u_c}{2} \left(\beta_2 + \frac{\alpha_1 \beta_1}{2} \right) q_0 \right] n + \frac{\alpha_1 \alpha_2}{2} (u_c - \beta_1 q_0) n^2 \quad \text{Eq II- 63}$$

En tirant la valeur de n de l'équation Eq II-62 et en la reportant dans Eq II-63, on obtient :

$$\left\{ w_n + \frac{1}{2} [\alpha_1 u_c - (2\beta_2 + \alpha_1 \beta_1) q_0] \right\}^2 + \frac{2\alpha_1}{\alpha_2} (\beta_1 q_0 - u_c) x_n = \left\{ w_0 + \frac{1}{2} [\alpha_1 u_c - (2\beta_2 + \alpha_1 \beta_1) q_0] \right\}^2 + \frac{2\alpha_1}{\alpha_2} (\beta_1 q_0 - u_c) x_0 \quad \text{Eq II- 64}$$

Pour une séquence donnée, les points (w_n, x_n) sont liés par la relation quadratique suivante :

$$\left\{ w_n + \frac{1}{2} [\alpha_1 u_c - (2\beta_2 + \alpha_1 \beta_1) q_0] \right\}^2 + \frac{2\alpha_1}{\alpha_2} (\beta_1 q_0 - u_c) x_n = R_0^2 = \text{cte} > 0 \quad \text{Eq II- 65}$$

Le premier et le second terme de l'équation Eq II-65 sont positifs, on a alors :

$$\begin{aligned} x_n \geq 0 &\Rightarrow q_0 = +1 \Rightarrow (\beta_1 q_0 - u_c) \geq 0 \\ x_n < 0 &\Rightarrow q_0 = -1 \Rightarrow (\beta_1 q_0 - u_c) < 0 \end{aligned} \quad \text{Eq II- 66}$$

Ce qui impose dans les deux cas : $(\beta_1 q_0 - u_c) x_n \geq 0$ et aussi $\beta_1 \geq |u_c|$.

Comme on voit un fort lien entre x_n et w_n , nous déterminons l'évolution de la sortie de deuxième intégrateur x_n en fonction de premier intégrateur w_n pour les deux cas correspondant à : $q_0 = 1$ et $q_0 = -1$.

- **Premier cas** : $q_0 = +1$, $x_0, x_1, \dots, x_{r-1} \geq 0$, $x_r < 0$

Le signal x_n qui apparaît dans l'équation II-65 s'annule, correspondant à un changement de signe, pour les valeurs de w_n suivantes :

$$w_p^\pm = -\frac{1}{2} [\alpha_1 u_c - (2\beta_2 + \alpha_1 \beta_1)] \pm R_0 \quad \text{Eq II- 67}$$

Par contre, la valeur maximale de x_n est :

$$x_{\max} = R_0^2 / \frac{2\alpha_1}{\alpha_2} (\beta_1 - u_c) \quad \text{Eq II- 68}$$

correspondante à une valeur suivante de w_n :

$$w_{pmax} = -\frac{1}{2}[\alpha_1 u_c - (2\beta_2 + \alpha_1 \beta_1)] \quad \text{Eq II- 69}$$

On montre alors à travers la figure suivante l'évolution de x_n en fonction de w_n (du point de vue amplitude).

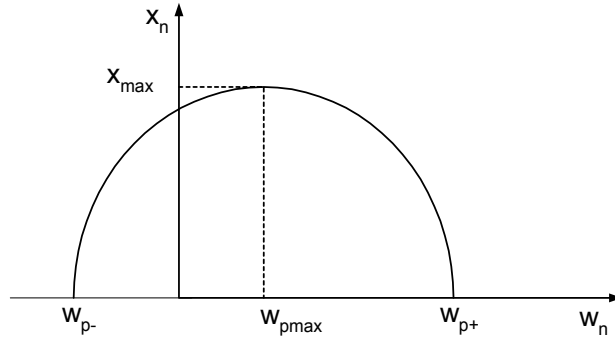


Figure II- 27 : L'évolution de la variable w_n en fonction de x_n pour $q_0=1$.

- **Deuxième cas :** $q_0=-1$, $x_0, x_p, \dots, x_{r-1} \leq 0$, $x_r > 0$

Dans ce cas, les valeurs de w_n pour lesquelles x_n s'annule sont :

$$w_m^\pm = -\frac{1}{2}[\alpha_1 u_c + (2\beta_2 + \alpha_1 \beta_1)] \pm R_0 \quad \text{Eq II- 70}$$

La dérivée $\frac{dx_n}{dw_n}$ (Eq II-65) s'annule pour :

$$x_{min} = -R_0^2 / \frac{2\alpha_1}{\alpha_2} (\beta_1 + u_c) \quad \text{Eq II- 71}$$

correspondante à un maximum en valeur absolue.

L'abscisse w_n correspondante est :

$$w_{min} = -\frac{1}{2}[\alpha_1 u_c + (2\beta_2 + \alpha_1 \beta_1)] \quad \text{Eq II- 72}$$

La figure II-28 donne l'évolution de x_n en fonction de w_n .

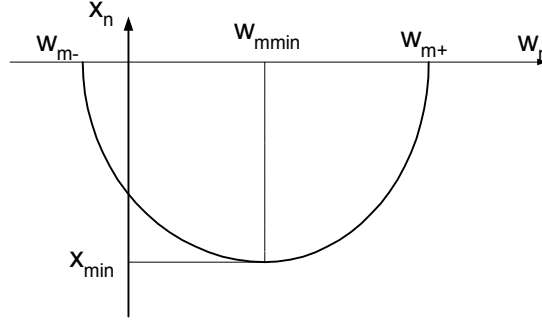


Figure II- 28 : L'évolution de la variable w_n en fonction de x_n pour $q_0 = -1$.

A chaque séquence $S_{q_0}^k$ est associée une constante R_0 en fonction de w_0, x_0 et q_0 :

$$R_0 = R_0(w_0, x_0, q_0) \quad \text{Eq II- 73}$$

Il existe donc un ensemble de paramètre R_0, R_1, \dots, R_n , que l'on peut extraire des différentes séquences $S_{q_0}^k$ prélevées à la sortie du modulateur. Il est montré que les paramètres R_i diminuent régulièrement dans un fonctionnement normal [Pin-93]. C'est à dire que :

$$R_{n+1}^2 \leq R_n^2 - \delta \quad (\delta \geq 0) \quad \text{Eq II- 74}$$

et que dans Eq II-68 et Eq II-71, les valeurs x_{\max} et x_{\min} restent bornées.

V-2- Etude de la stabilité

Le théorème de stabilité de Pinault et Lopresti [Pin-93] s'écrit dans le cas général comme suit: Soient (w_n, x_n) les solutions du système (Eq II-57) avec une entrée u_n (Eq II-40). Il existe alors, $\delta \geq 0$ et $B \geq 0$ avec $B = B(u_c, \delta, \alpha_1, \alpha_2, \beta_1, \beta_2)$ tels que :

$$\begin{aligned} R_0 \geq B &\Rightarrow R_1^2 \leq R_0^2 - \delta \\ R_0 \leq B &\Rightarrow R_1 \leq B \end{aligned} \quad \text{Eq II- 75}$$

Dans ce qui suit, nous reprenons le raisonnement utilisé pour démontrer ce théorème [Pin-93], à fin de déterminer la limite B. Soient R_0^2 le paramètre de l'équation Eq II-65 lié à la séquence $S_{q_0}^k$ de longueur r et R_1^2 le paramètre suivant lié à la séquence $S_{-q_0}^{k+1}$, on a donc :

$$\begin{aligned} R_0^2 - R_1^2 &= w_0^2 - w_r^2 + \alpha_1 u_c (w_0 - w_r) - (2\beta_2 + \alpha_1 \beta_1) q_0 (w_0 + w_r) \\ &\quad - (\alpha_1 u_c) (2\beta_2 + \alpha_1 \beta_1) q_0 + \frac{2\alpha_1}{\alpha_2} (\beta_1 q_0 - u_c) x_0 + \frac{2\alpha_1}{\alpha_2} (\beta_1 q_0 + u_c) x_r \end{aligned} \quad \text{Eq II- 76}$$

On peut déterminer les expressions de x_r et w_r en fonction de r en utilisant les équations Eq II-62 et Eq II-63.

$$w_r = w_0 + \alpha_1(u_c - \beta_1 q_0) r \quad \text{Eq II- 77}$$

$$x_r = x_0 + \alpha_2 \left[w_0 + \frac{\alpha_1 u_c}{2} - \left(\beta_2 + \frac{\alpha_1 \beta_1}{2} \right) q_0 \right] r + \frac{\alpha_1 \alpha_2}{2} (u_c - \beta_1 q_0) r^2 \quad \text{Eq II- 78}$$

En remplaçant les expressions de w_r et x_r dans Eq II-76, La différence devient :

$$R_0^2 - R_1^2 = -2\alpha_1^2 \beta_1 (\beta_1 - u_c q_0) r^2 + 4\alpha_1 q_0 (\beta_1 w_0 - \beta_2 u_c) r + 2[(-\alpha_1 \beta_1 - 2\beta_2) q_0 w_0] + \frac{4\alpha_1 \beta_1}{\alpha_2} q_0 x_0 - \alpha_1 [2\beta_2 + \alpha_1 \beta_1] q_0 u_c \quad \text{Eq II- 79}$$

Pour étudier les bornes de l'expression Eq II-79, nous évaluons les limites de la longueur r de la séquence $S_{q_0}^k$ en fonction des valeurs initiales w_0 et x_0 de cette séquence. Notons n_0^+ et n_0^- les valeurs de n qui annulent l'équation Eq II-63.

$$n_0^\pm = \frac{\left[w_0 + \frac{\alpha_1 u_c}{2} - \left(\beta_2 + \frac{\alpha_1 \beta_1}{2} \right) q_0 \right] \pm R_0}{\alpha_1 (\beta_1 q_0 - u_c)} \quad \text{Eq II- 80}$$

- **Premier cas :** $q_0 = +1$:

n_0^+ correspond à la valeur limite pour laquelle x_n passe d'une valeur positive à une valeur négative ($x_n = 0$).

alors

$$(x_0, \dots, x_{r-1} \geq 0, x_r < 0) \Rightarrow \left(r > n_0^+ \text{ et } r-1 \leq n_0^+ \right) \quad \text{Eq II- 81}$$

soit $n_0^+ < r \leq n_0^+ + 1$. La figure II-29 montre la plage de variation de r pour la séquence $S_{q_0}^k$.

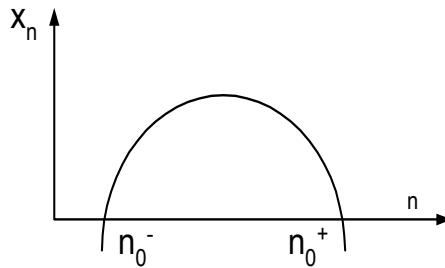


Figure II- 29 : Variation de n pendant la séquence $S_{q_0}^k$ pour $q_0 = +1$.

- **Deuxième cas :** $q_0 = -1$:

n_0^- correspond à la valeur limite pour la quelle x_n passe d'une valeur négative à une valeur positive ($x_n = 0$).

alors

$$(x_0, \dots, x_{r-1} \leq 0, x_r > 0) \Rightarrow \left(r > n_0^- \text{ et } r-1 \leq n_0^- \right) \quad \text{Eq II- 82}$$

soit $n_0^- < r \leq n_0^- + 1$. La figure II-30 montre la plage de variation de r pour la séquence $S_{-q_0}^{k+1}$.

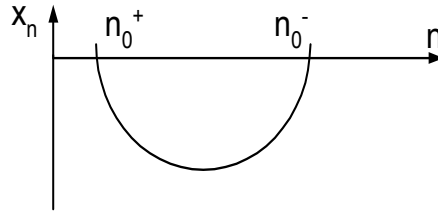


Figure II- 30 : Variation de n pendant la séquence $S_{-q_0}^{k+1}$ pour $q_0 = -1$.

De l'équation Eq II-79, on définit la fonction $H(p)$ égale à :

$$H(p) = -2\alpha_1^2\beta_1(\beta_1 - u_c q_0)p^2 + 4\alpha_1 q_0(\beta_1 w_0 - \beta_2 u_c)p + 2[(-\alpha_1\beta_1 - 2\beta_2)q_0 w_0] + \frac{4\alpha_1\beta_1}{\alpha_2} q_0 x_0 - \alpha_1[2\beta_2 + \alpha_1\beta_1]q_0 u_c \quad \text{Eq II- 83}$$

où p est considéré la variable r mais de valeurs différentes. En utilisant les limites sur r , exprimées dans les équations Eq II-81 et Eq II-82, on aura :

$$\begin{aligned} R_0^2 - R_1^2 &= H(r) \geq \min[H(p)] \\ n_0^+ < p \leq n_0^+ + 1 & \quad \text{cas 1} \\ n_0^- < p \leq n_0^- + 1 & \quad \text{cas 2} \end{aligned} \quad \text{Eq II- 84}$$

En tenant compte du fait que $(\beta_1 - u_c q_0) \geq 0$ et que la fonction $H(p)$ est quadratique, on a :

$$R_0^2 - R_1^2 \geq \min\{H(n_0^+), H(n_0^+ + 1)\} : \text{cas 1} \quad \text{Eq II- 85}$$

$$R_0^2 - R_1^2 \geq \min\{H(n_0^-), H(n_0^- + 1)\} : \text{cas 2} \quad \text{Eq II- 86}$$

En remplaçant l'expression de n_0^+ donnée par l'équation Eq II-80 dans l'équation Eq II-83 pour $q_0=1$, on obtient :

$$H(n_0^+) = 2q_0[2\beta_2 + \alpha_1\beta_1]R_0 - [2\beta_2 + \alpha_1\beta_1]^2 \quad \text{Eq II- 87}$$

$$H(n_0^++1) = 2q_0[2\beta_2 - \alpha_1\beta_1]R_0 - 4\alpha_1q_0\beta_2u_c - [4\beta_2^2 + \alpha_1^2\beta_1^2] \quad \text{Eq II- 88}$$

De même, en remplaçant l'expression de n_0^- donnée par l'équation Eq II-80 dans l'équation Eq II-83 pour $q_0=-1$, on obtient :

$$H(n_0^-) = -2q_0[2\beta_2 + \alpha_1\beta_1]R_1 - [2\beta_2 + \alpha_1\beta_1]^2 \quad \text{Eq II- 89}$$

$$H(n_0^-+1) = -2q_0[2\beta_2 - \alpha_1\beta_1]R_1 - 4\alpha_1q_0\beta_2u_c - [4\beta_2^2 + \alpha_1^2\beta_1^2] \quad \text{Eq II- 90}$$

Pour le passage d'une séquence $S_{q_0=+1}^k$, associée au paramètre R_0 à la séquence suivante $S_{q_0=-1}^{k+1}$ associée à R_1 , on a :

$$\begin{aligned} R_1^2 &\leq R_0^2 + \max[-H(n_0^+), -H(n_0^++1)] \\ &= \max[R_0^2 - H(n_0^+), R_0^2 - H(n_0^++1)] \end{aligned} \quad \text{Eq II- 91}$$

En comparant les valeurs de $R_0^2 - H(n_0^+)$ et $R_0^2 - H(n_0^++1)$ pour déterminer le maximum, on aura les deux cas suivants selon le signe de la différence de $H(n_0^+) - H(n_0^++1)$:

$$\text{Pour } R_0 \leq \left(\frac{\beta_2}{\beta_1}\right)(\beta_1 - u_c), :$$

$$R_1 \leq |R_0 - (2\beta_2 + \alpha_1\beta_1)| \quad \text{Eq II- 92}$$

$$\text{et pour } R_0 \geq \left(\frac{\beta_2}{\beta_1}\right)(\beta_1 - u_c),$$

$$R_1 \leq \sqrt{[R_0 - (2\beta_2 - \alpha_1\beta_1)]^2 + 4\alpha_1\beta_2(\beta_1 + u_c)} \quad \text{Eq II- 93}$$

De même, pour le passage de la séquence $S_{q_0=-1}^{k+1}$ à la séquence suivante $S_{q_0=1}^{k+2}$ associé, à \hat{R}_0 , on aura :

$$\begin{aligned} \hat{R}_0^2 &\leq R_1^2 + \max[-H(n_0^-), -H(n_0^-+1)] \\ &= \max[R_1^2 - H(n_0^-), R_1^2 - H(n_0^-+1)] \end{aligned} \quad \text{Eq II- 94}$$

Deux cas se présentent :

$$\text{pour : } R_1 \leq \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 + u_c) :$$

$$\hat{R}_0 \leq |R_1 - (2\beta_2 + \alpha_1\beta_1)| \quad \text{Eq II- 95}$$

$$\text{et pour : } R_1 \geq \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 + u_c)$$

$$\hat{R}_0 \leq \sqrt{[R_1 - (2\beta_2 - \alpha_1\beta_1)]^2 + 4\alpha_1\beta_2(\beta_1 - u_c)} \quad \text{Eq II- 96}$$

Les simulations montrent que les limites les plus resserrées sur w_n et x_n sont obtenues pour le cas où $R_0 \geq \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 - u_c)$ suivi du cas où $R_1 \geq \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 + u_c)$ (ceci est vérifié dans [Pin-93] pour le cas particulier où $(\alpha_1 = \alpha_2 = \beta_1 = \beta_2 = 1)$). En outre, ces deux cas correspondent au cas intéressant du théorème de Pinault et Lopresti (Eq II-74), avec $B = \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 - u_c)$ pour le premier cas et $B = \left(\frac{\beta_2}{\beta_1} \right) (\beta_1 + u_c)$ pour le deuxième cas.

En substituant l'expression de R_1 de Eq II-93 à celle dans Eq II-96, on aura :

$$\begin{aligned} \frac{R_0^2 - \hat{R}_0^2}{2} &\geq (2\beta_2 - \alpha_1\beta_1)R_0 - (2\beta_2 - \alpha_1\beta_1)^2 - 4\alpha_1\beta_1\beta_2 \\ &\quad + (2\beta_2 - \alpha_1\beta_1)\sqrt{[R_0 - (2\beta_2 - \alpha_1\beta_1)]^2 + 4\alpha_1\beta_2(\beta_1 + u_c)} \end{aligned} \quad \text{Eq II- 97}$$

L'expression majorant $\frac{1}{2}(R_0^2 - \hat{R}_1^2)$ est croissante pour tous $R_0 \geq 0$ dans le cas où $(2\beta_2 - \alpha_1\beta_1) > 0$. La racine \tilde{R}_0 de cette expression reportée dans Eq II-65 détermine la région de convergence des variables d'état (w_n, x_n) avec :

$$\tilde{R}_0 = \frac{2\alpha_1\beta_1\beta_2}{2\beta_2 - \alpha_1\beta_1} + \frac{2\beta_2 - \alpha_1\beta_1}{2} \left(1 - \frac{u_c}{\beta_1} \right) \quad \text{Eq II- 98}$$

En procédant de la même façon pour le cycle de séquence $S_{q_0-1}^k$ associée à R_1 , $S_{q_0-1}^{k+1}$ associée à \tilde{R}_1 , nous obtenons la racine :

$$\tilde{R}_1 = \frac{2\alpha_1\beta_1\beta_2}{2\beta_2 - \alpha_1\beta_1} + \frac{2\beta_2 - \alpha_1\beta_1}{2} \left(1 + \frac{u_c}{\beta_1} \right) \quad \text{Eq II- 99}$$

Dans l'équation Eq II-65 remplaçons R_0 par \tilde{R}_0 donnée par Eq II-98, avec $q_0 = +1$, nous obtenons les limites des grandeurs w_n et x_n dans la région $x_n > 0$. De même, en remplaçant

R_0 de l'équation Eq II-65 par \tilde{R}_1 donnée par Eq II-99, avec $q_0=-1$, nous obtenons les limites des grandeurs w_n et x_n dans la région $x_n < 0$.

La figure II-31 représente la simulation des valeurs $\{w_n, x_n\}$ d'un modulateur $\Sigma\Delta$ d'ordre 2 pour une entrée continue u_c et les bornes de $\{w_n, x_n\}$ sont calculées à partir des équations Eq II-65, Eq II-98 et Eq II-99 respectivement. On a exprimé successivement $x_n = F_1(w_n, \tilde{R}_0)$ et $x_n = F_2(w_n, \tilde{R}_1)$ qui sont représentées par deux paraboles de concavités opposées.

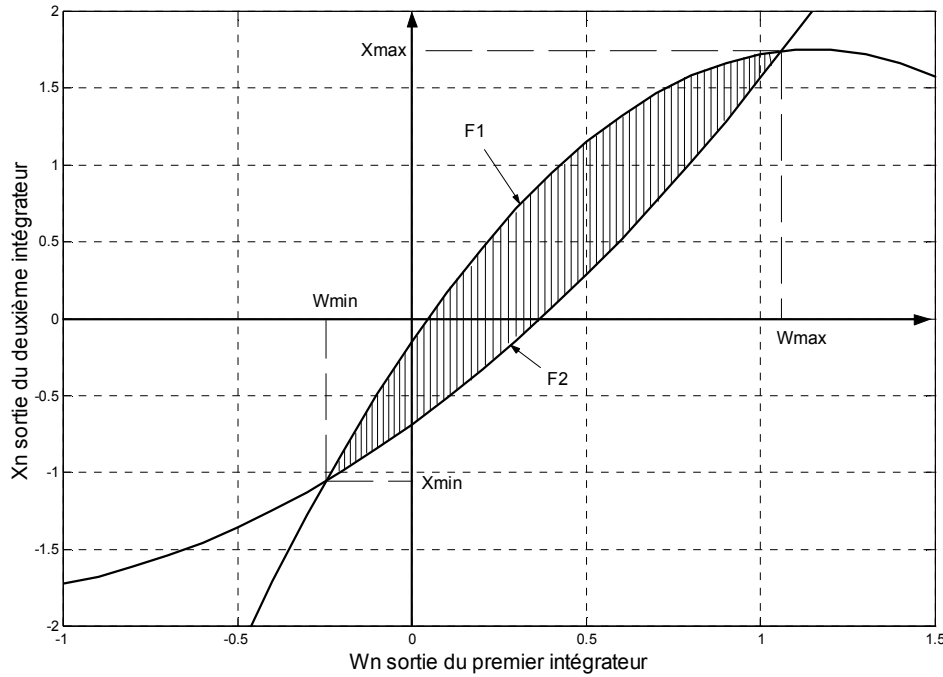


Figure II- 31 : Région d'évolution des valeurs des variables d'états $\{w_n, x_n\}$ pour $u_c = 0.4071$, $\alpha_1 = 0.495$, $\alpha_2 = 0.86$ et $\beta_1 = \beta_2 = 1$.

Le domaine de convergence du modulateur Sigma Delta d'ordre 2 est définie comme étant l'intersection de deux paraboles F1 et F2. Si pour des valeurs données de paramètres ($\alpha_1, \alpha_2, \beta_1, \beta_2$) les deux paraboles F1 et F2 n'ont pas d'intersection, alors le système diverge. La figure II-31 représente la région de stabilité du modulateur Sigma Delta pour $\alpha_1 = 0.495$, $\alpha_2 = 0.86$ et $\beta_1 = \beta_2 = 1$, cette région définit l'évolution des sorties du premier intégrateur (w_n) et du deuxième intégrateur (x_n).

Dans le cadre de nos travaux nous avons choisit une structure du modulateur Sigma Delta ayant $\alpha_1 = \alpha_2 = \beta_1 = \beta_2 = 1$, la figure II-32 montre que le système est stable et illustre le domaine de convergence.

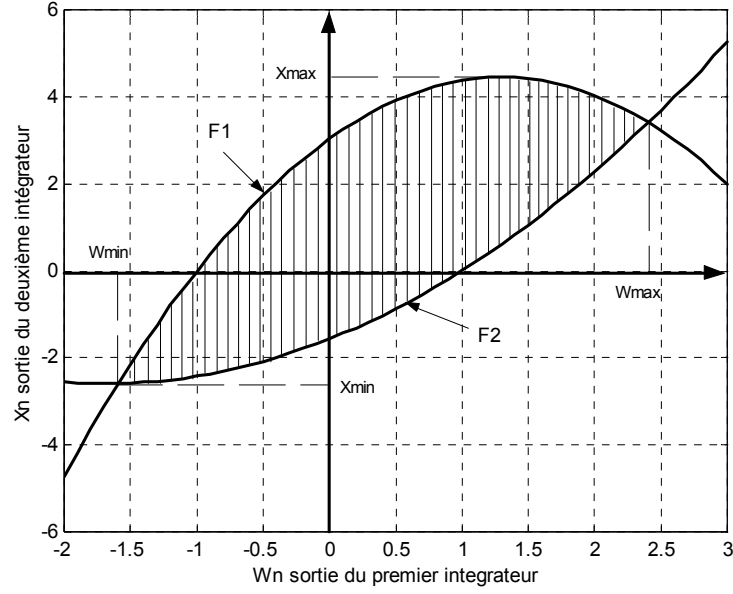


Figure II- 32 : Région d'évolution des valeurs des variables d'états $\{w_n, x_n\}$ pour $u_c = 0.4071$,
 $\alpha_1 = \alpha_2 = \beta_1 = \beta_2 = 1$.

Pour une entrée sinusoïdale $v_n = A \sin \left(n \frac{2\pi f_B}{F_e} \right)$ sur-échantillonnée, les résultats ci-dessus restent valables. Dans ce cas le calcul des limites se fait pour deux entrées continues (valeurs moyennes) $u_c = A/\sqrt{2}$ et $u_c = -A/\sqrt{2}$ (Eq II-65, Eq II-98 et Eq II-99). Ainsi on obtient 4 paraboles qui encadrent les valeurs de $\{w_n, x_n\}$ (figure II-33).

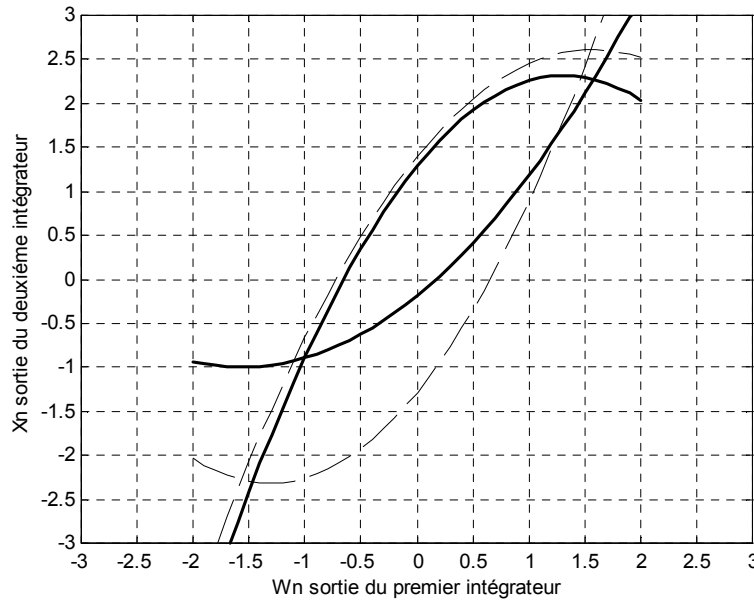


Figure II- 33 : Région d'évolution des valeurs des variables d'états $\{w_n, x_n\}$ pour $A=0.4071$
 $\alpha_1 = 0.879$, $\alpha_2 = 0.75$ et $\beta_1 = \beta_2 = 1$.

V-3- Analyse spectrale du modulateur

Nous avons simulé le modulateur Sigma Delta du second ordre avec $\alpha_1=\alpha_2=\beta_1=\beta_2=1$ en utilisant le logiciel Simulink. Le schéma que nous avons utilisé est le suivant. La fonction « sign » joue le rôle du quantificateur :

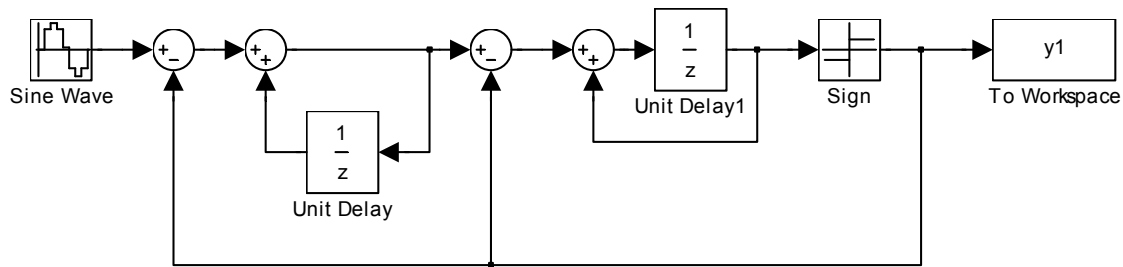


Figure II- 34 : Le modulateur Sigma Delta.

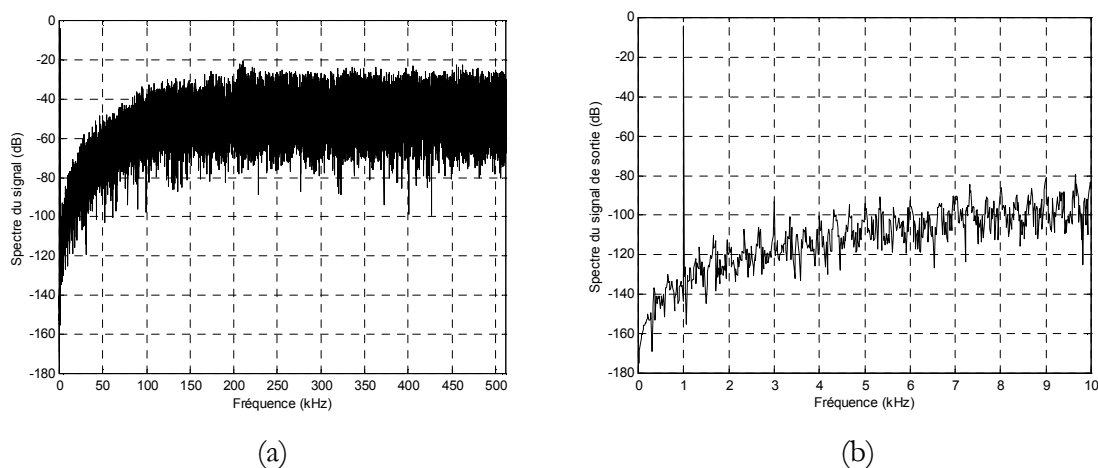


Figure II- 35 : Spectre de la sortie du modulateur en (a) bande de Nyquist (b) bande audio.

La fréquence d'échantillonnage est fixée à 1.024 MHz et le domaine spectral du signal d'entrée est limité à 8kHz. Pour un signal d'entrée de 1kHz et d'amplitude -2dB de la pleine échelle, la FFT du signal d'entrée est calculée sur 65536 points. Le spectre du signal issu du modulateur Sigma Delta avec un agrandissement dans la bande d'audio est montré à travers la figure II-35. Cette analyse spectrale permet d'étudier le comportement du modulateur dans la bande d'audio et d'estimer les performances du modulateur. C'est cette analyse qui sera utilisée dans le chapitre suivant lors des mesures effectuées sur le modulateur Sigma Delta à courant commuté.

V-3-1- Courbe de SNR en fonction de l'amplitude du signal d'entrée

La courbe du SNR en fonction de l'amplitude du signal d'entrée est une caractéristique fondamentale du modulateur Sigma Delta. Elle permet de déterminer le rapport signal sur bruit en dB en fonction du signal d'entrée par rapport à la pleine échelle exprimé en dB.

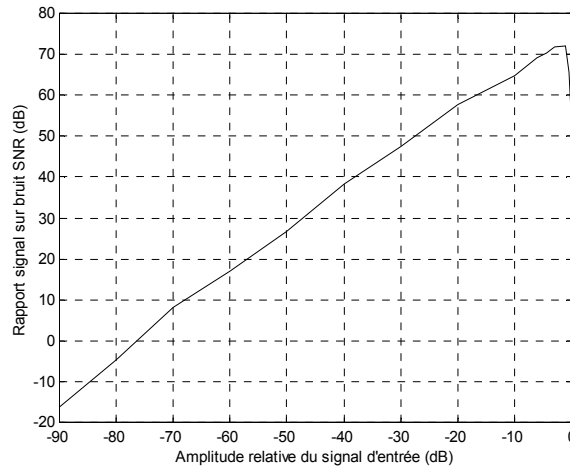


Figure II- 36 : Rapport signal sur bruit du modulateur $\Sigma\Delta$ en fonction de l'amplitude du signal d'entrée.

Pour des entrées d'amplitudes relativement faibles la courbe est linéaire. En se rapprochant de la pleine échelle le rapport SNR chute. Ceci est une conséquence de la saturation du deuxième intégrateur. Naturellement ce paramètre est calculé après la décimation et le filtrage passe-bas, ce que nous allons décrire maintenant.

IV- LA CHAÎNE DE DECIMATION

IV-1- Introduction

Le fonctionnement d'un convertisseur $\Sigma\Delta$ repose sur deux principes : le sur-échantillonnage et la mise en forme de bruit. Le modulateur $\Sigma\Delta$ délivre une information codée sur peu de bits à un débit élevé. Il est ensuite nécessaire d'effectuer une décimation pour que l'information soit codée sur un nombre de bits plus élevé (la résolution totale du convertisseur) et pour permettre un retour à une fréquence proche de la fréquence de Nyquist. Ainsi le flot de données lors de la transmission, le stockage ou le traitement numérique est diminué. Naturellement, un filtrage de type passe-bas est associé pour éliminer une grande partie du bruit de quantification mis en forme.

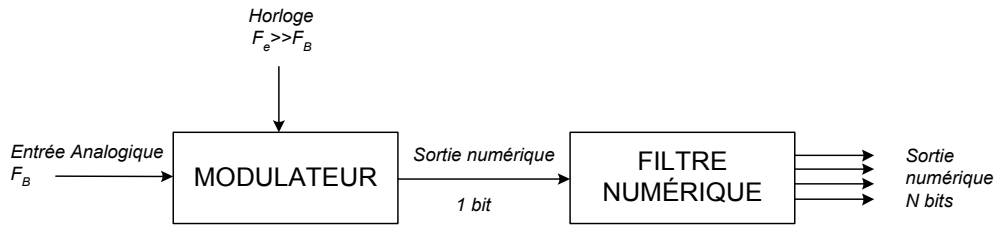


Figure II- 37 : Schéma Bloc du Convertisseur $\Sigma\Delta$.

IV-2- Le filtrage numérique

Un filtre numérique est totalement décrit par son équation aux différences. Celle-ci établit la relation entre l'entrée et la sortie du filtre, comme l'illustre la relation suivante :

$$Y(n) = x(n) + a_1 \cdot x(n-1) + a_2 \cdot x(n-2) + \dots + a_N \cdot x(n-N) - b_1 \cdot y(n-1) - b_2 \cdot y(n-2) - \dots - b_M \cdot y(n-M) \quad \text{Eq II- 100}$$

où les $x(n)$ sont les échantillons d'entrées et les $y(n)$ représentent la séquence de sortie. La fonction de transfert d'un filtre numérique est donnée par la relation suivante :

$$H(z) = \frac{1 + \sum_{i=1}^N a_i z^{-i}}{\sum_{j=0}^M b_j z^{-j}} = \frac{Y(z)}{X(z)} = \frac{1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_N z^{-N}}{b_0 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_M z^{-M}} \quad \text{Eq II- 101}$$

avec en général $b_0=1$. On distingue alors deux types de filtres : les filtres à réponse impulsionnelle infinie (RII) et les filtres à réponse impulsionnelle finie (RIF).

IV-2-1- Les filtres RIF

La fonction de transfert d'un filtre à réponse impulsionnelle finie est de la forme :

$$H(z) = \frac{Y(z)}{X(z)} = 1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_N z^{-N} \quad \text{Eq II- 102}$$

L'équation aux différences d'un tel filtre s'écrit alors :

$$y(n) = \sum_{k=0}^{N-1} h(k) \cdot x(n-k) \quad \text{Eq II- 103}$$

C'est la raison pour laquelle on appelle également ce type de filtre, filtre à convolution. Grâce à leur structure non-réursive, les filtres à réponse impulsionnelle finie sont toujours stables et assurent une phase linéaire tant que leurs coefficients sont symétriques. Ils sont donc tout à fait adaptés aux applications audio, où la distorsion des fréquences due aux non-linéarités de phase est à bannir.

La performance des filtres à réponse impulsionnelle finie est limitée par leur ordre et par la quantification de leurs coefficients, qui se traduit par une grande difficulté quant à leur implantation dans des composants à virgule fixe.

L'ordre du filtre est fonction des ondulations maximales dans la bande passante (δ_p) et dans la bande atténuée (δ_a), de la largeur de la bande de transition (Δf) [Kus-98]. L'amplitude dans la bande passante (A_p) est exprimée en fonction de l'ondulation δ_p par la relation :

$$A_p = 20 \log_{10} \left(\frac{1 + \delta_p}{1 - \delta_p} \right) [\text{dB}] \quad \text{Eq II- 104}$$

et l'amplitude dans la bande atténuée (A) est donnée par :

$$A_a = 20 \log_{10} (1 + \delta_a) [\text{dB}] \quad \text{Eq II- 105}$$

La largeur de la bande de transition, normalisée par rapport à la fréquence d'échantillonnage d'entrée F_e , est donnée par la relation suivante :

$$\Delta f = \frac{f_a + f_p}{F_e} \quad \text{Eq II- 106}$$

où f_p est la fréquence de coupure de la bande passante et f_a est la fréquence du début de la bande atténuée.

En fonction des caractéristiques énumérées précédemment, l'ordre du filtre peut être estimé d'une manière approchée [Kus-98] par :

$$N = \frac{-13 - 20 \log_{10} \sqrt{\delta_p \delta_a}}{14,6 \times \Delta f} + 1 \quad \text{Eq II- 107}$$

Comme le montre l'équation Eq II-107, l'ordre du filtre dépend de la largeur de la bande de transition. Plus les spécifications du filtre sont sévères (plus Δf est petit), plus l'ordre du filtre N sera important, ce que l'on cherche à éviter. Or la sortie du modulateur $\Sigma\Delta$ est à une cadence élevée devant la bande de Nyquist que l'on cherche à obtenir. Cela veut donc dire que l'ordre du filtre RIF serait très élevé. On peut alors envisager l'utilisation de plusieurs filtres en cascades avec différentes fréquences d'échantillonnages, celles-ci diminuant au fur et à mesure de la structure. L'expression donnant l'ordre du $i^{\text{ème}}$ filtre devient alors :

$$N_i = \frac{-13 - 20 \log_{10} \sqrt{\delta_{pi} \delta_{ai}}}{14,6 \times \Delta f_i} + 1 \quad \text{où } \Delta f_i = \frac{f_{ai} + f_{pi}}{F_{ei}} \quad \text{Eq II- 108}$$

On voit bien alors que l'on pourra diminuer les contraintes sur chaque filtre, ce qui revient en fait à diviser la tâche en plusieurs parties.

À fonctions de transfert équivalentes, le seul inconvénient par rapport au filtre RII est l'ordre qui sera plus élevé, et donc à profil de filtre identique, la complexité du calcul du RIF est plus élevée.

IV-2-2- Les filtres RII

La fonction de transfert d'un filtre à réponse impulsionnelle infinie est de la forme :

$$H(z) = \frac{1 + \sum_{i=1}^N a_i z^{-i}}{\sum_{j=0}^M b_j z^{-j}} = \frac{Y(z)}{X(z)} = \frac{1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_N z^{-N}}{b_0 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_M z^{-M}} \quad \text{Eq II- 109}$$

Le nombre de coefficients nécessaires est plus faible pour une structure RII. A surface égale, le nombre de multiplieurs RII est donc plus optimisé. Cependant, en adoptant une structure cascadée pour les filtres RIF, le nombre de coefficients est réduit d'une manière importante.

De plus les filtres RIF ne sont pas soumis au problème de stabilité. C'est pourquoi, on préférera utiliser des filtres à réponse impulsionnelle finie.

IV-3- La décimation

Le modulateur $\Sigma\Delta$ délivre un signal sur un nombre de bits limité à une fréquence d'échantillonnage très élevée. On appelle décimation, le fait de ramener cette fréquence d'échantillonnage à une fréquence proche de la fréquence de Nyquist. L'opération permettant d'augmenter la résolution en effectuant un moyennage temporel sur un certain nombre d'échantillons du signal sur-échantillonné est le filtrage.

Une chaîne de décimation se compose donc classiquement d'un filtre passe-bas qui élimine le bruit et d'un sous-échantillonneur. Pour notre application, ce filtre doit être sélectif étant donné le rapport de sur-échantillonnage M élevé. Ceci entraîne la réalisation d'un filtre comportant beaucoup de coefficients qui occupera une grande surface de silicium. Il est donc nécessaire d'effectuer un filtrage et un sous-échantillonnage (D) en plusieurs étapes [Cro-81], comme l'illustre la figure II-38. En effet le taux de sous-échantillonnage étant plus faible, les filtres associés seront moins sélectifs donc moins complexes.

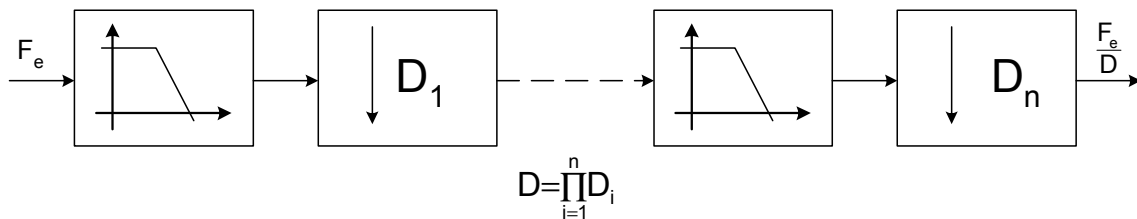


Figure II- 38 : Décimation à plusieurs étapes.

Nous allons donc étudier par la suite les différentes architectures de filtres pour la chaîne de décimation.

IV-3-1- Le filtre sinus cardinal

Ce filtre est le plus simple et le plus économique car il ne nécessite pas de multiplieur [Cro-81]. Son action est équivalente à celle d'un RIF dont tous les coefficients sont unitaires. Sa fonction de transfert est :

$$H(z) = \frac{1}{D} \sum_{n=0}^{D-1} z^{-n} \quad \text{Eq II- 110}$$

où D est le facteur de décimation du filtre sinus cardinal.

Le sinus cardinal (sinc) est un filtre passe-bas où les zéros sont placés aux fréquences multiples de F_e/D .

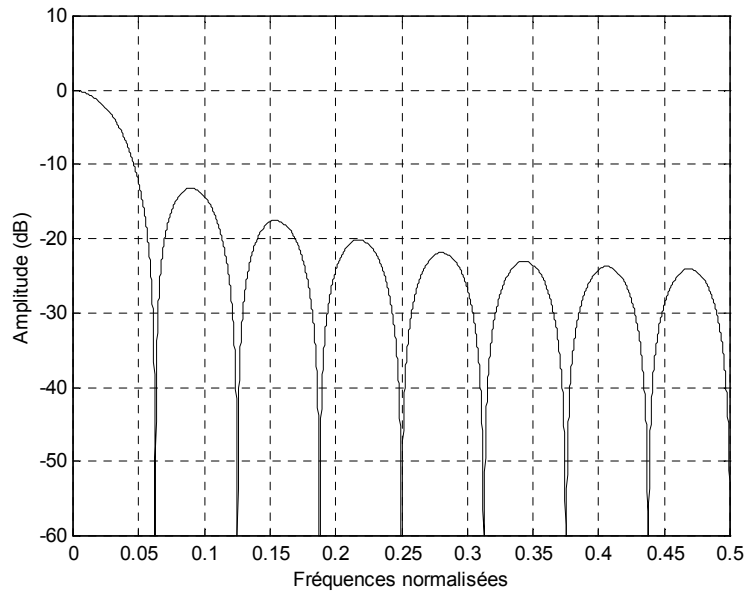


Figure II- 39 : Réponse en fréquence du filtre en peigne avec $D=16$.

La simplicité d'implantation du sinus cardinal peut être mise en évidence en décomposant la fonction de transfert. En effet, à un facteur de normalisation $1/D$ près, la fonction de transfert est:

$$H(z) = \frac{1-z^{-D}}{1-z^{-1}} \quad \text{Eq II- 111}$$

soit, après factorisation :

$$H(z) = \left(\frac{1}{1-z^{-1}} \right) (1-z^{-D}) \quad \text{Eq II- 112}$$

On reconnaît alors une fonction d'intégration suivie d'une fonction de dérivation. Or ces deux étapes sont suivies d'un sous-échantillonnage d'un facteur D , il est donc intéressant de placer le sous échantillonnage avant la dérivation, celle ci sera donc réalisée à fréquence réduite, ce qui simplifiera son implantation puisque le dérivateur $(1-z^{-D})$ devient $(1-z^{-1})$.

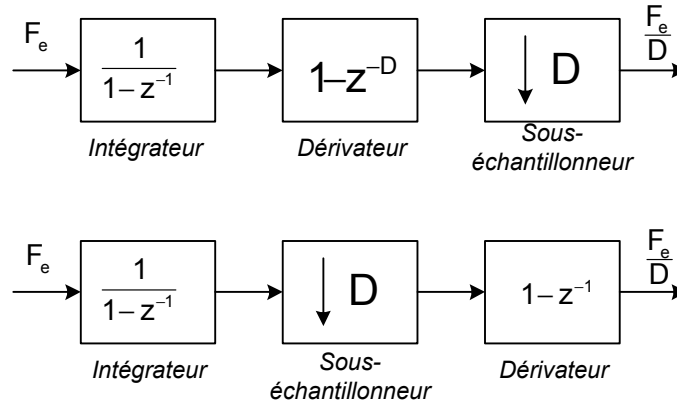


Figure II- 40 : Amélioration de la structure du sinus cardinal.

La fonction de transfert d'un sinus cardinal d'ordre K est donnée par :

$$H(z) = \left(\frac{1}{D} \frac{1-z^{-D}}{1-z^{-1}} \right)^K \quad \text{Eq II- 113}$$

On remarque que plus l'ordre du sinus cardinal est élevé, plus l'atténuation hors bande est importante. Il est donc intéressant d'utiliser un filtre en sinus cardinal d'ordre élevé pour éliminer le maximum de bruit. On réduit ainsi le phénomène du repliement de bruit dans la bande utile du signal lors du sous-échantillonnage.

Enfin, pour réaliser un sinus cardinal d'ordre K , il suffit d'utiliser K intégrateurs suivis d'un sous-échantillonneur puis de K dérivateurs. On obtient, par exemple pour un ordre 2, la structure suivante :

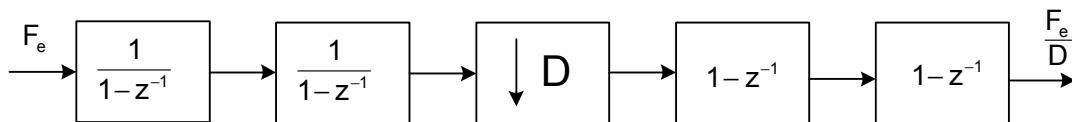


Figure II- 41 : Structure d'un filtre en sinus cardinal d'ordre 2.

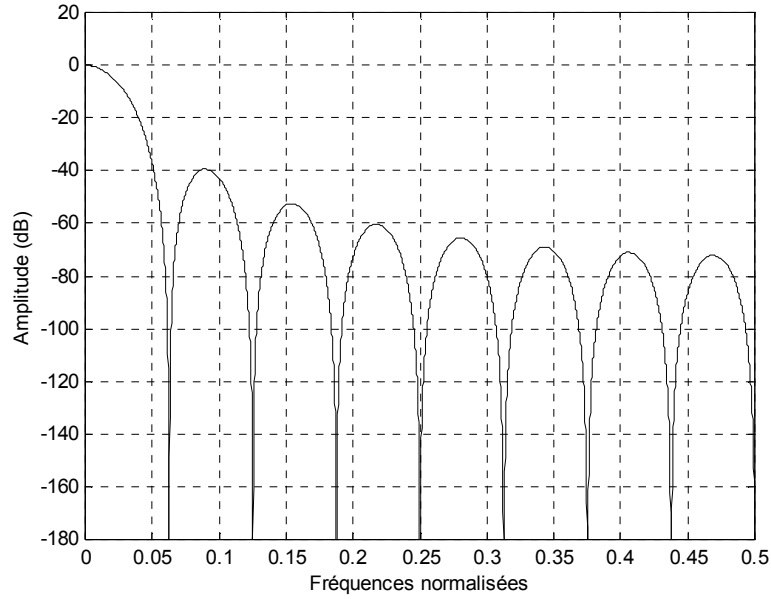


Figure II- 42 : Réponse en fréquence du filtre sinc avec D=16 et K=3.

Cependant, ce filtre n'effectue qu'un filtrage grossier du bruit et il apporte une atténuation dans la bande utile. Il est généralement placé dans le premier étage de la chaîne de décimation, car il ne comporte pas de multiplieurs et peut travailler à des fréquences élevées. Il effectue ainsi un sous-échantillonnage important, puis viennent des filtres RIF qui filtrent plus précisément et corrigent l'atténuation du gain dans la bande utile.

IV-3-2- Le filtre “sharpned”

Pendant ces dernières années une structure modifiée du sinus cardinal, appelé filtre sinc aiguisé (sharpened comb filter), a été utilisée dans les chaînes de la décimation. Avec cette nouvelle structure, nous sommes capable de réduire l'atténuation dans la bande passante et d'assurer une rejection du repliement spectral. Ce filtre nécessite trois filtres sinus cardinaux conventionnels, un additionneur, deux multiplieurs et une unité de retard. La fonction de transfert totale devient :

$$H_{sh}(z) = H^2(z) \times [3 - 2H(z)] \quad \text{Eq II- 114}$$

Puisque la fonction de transfert du sinus cardinal $H(z)$ est à phase linéaire, le filtre total possède une phase linéaire. En tenant compte des exigences d'implémentation, le filtre sinus cardinal s'avère plus avantageux. Malgré tout, nous allons voir à travers ses performances spectrales la pertinence de ce filtre. Sa fonction de transfert est :

$$H_{sh}(e^{j2\pi f}) = 3 \times \left(\frac{\sin(\pi f D)}{D \sin(\pi f)} \right)^{2K} - 2 \times \left(\frac{\sin(\pi f D)}{D \sin(\pi f)} \right)^{3K} \quad \text{Eq II- 115}$$

où f est la fréquence normalisée par rapport à la fréquence d'échantillonnage F_e , D est le taux de décimation et K est l'ordre du filtre. Avec cette structure, nous sommes capables d'accomplir une atténuation de -70dB pour le lobe secondaire au lieu de -40dB avec $D=16$ et $K=3$. La figure II-43 expose la réponse en fréquence pour ce cas.

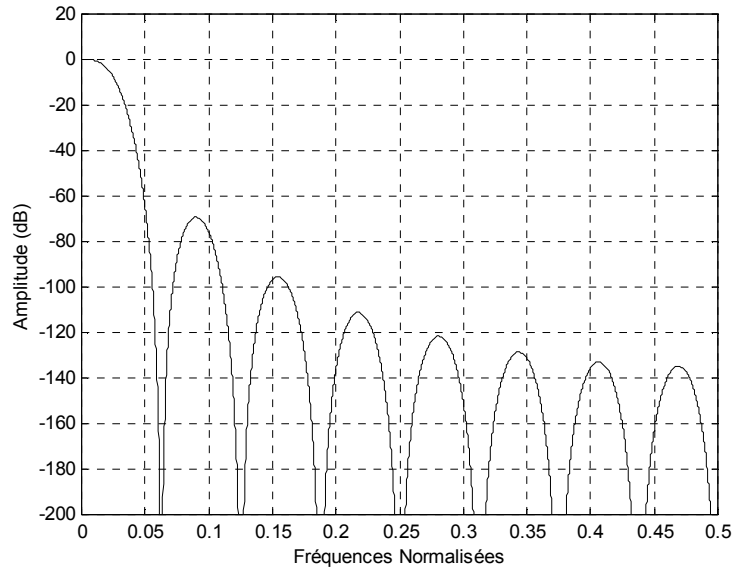


Figure II- 43 : Réponse en fréquence du sinc aiguisé avec $D=16$ et $K=3$.

La figure II-43 montre que le sinc aiguisé possède une atténuation plus importante vers les hautes fréquences et présente une faible atténuation dans la bande utile. Cependant, les exigences matérielles pour son implémentation sur silicium sont relativement importantes par rapport au sinus cardinal conventionnel. En effet pour des caractéristiques identiques il faut plus d'opérateur sinc comme le montre la relation suivante :

$$H_{sh}(z) = 3 \left[\frac{1 - z^{-D}}{D(1 - z^{-1})} \right]^{2K} - 2 \left[\frac{1 - z^{-D}}{D(1 - z^{-1})} \right]^{3K} \quad \text{Eq II- 116}$$

IV-3-3- Le filtre demi bande

Le filtre demi-bande est un cas particulier d'un filtre à réponse impulsionnelle finie (RIF). En effet, il présente la particularité d'avoir des coefficients symétriques par rapport au coefficient central dont la valeur est 0.5, et de plus un coefficient sur deux est nul. Ces caractéristiques permettent une grande économie de calcul et de stockage [Cro-81].

Ce filtre est un passe-bas dont la fréquence de coupure est $F_e/4$. La Figure II-43 montre le spectre de ce filtre dont le rapport de sous-échantillonnage ne pourra être que de 2. En effet, la moitié de la bande du filtre est atténuée, ce qui rend possible un seul repliement par rapport à la fréquence $F_e/4$ et, donc une décimation d'ordre 2. Ce taux de sous-échantillonnage est

faible, mais ce filtre est néanmoins très utilisé du fait des avantages que présentent ses coefficients pour terminer la décimation.

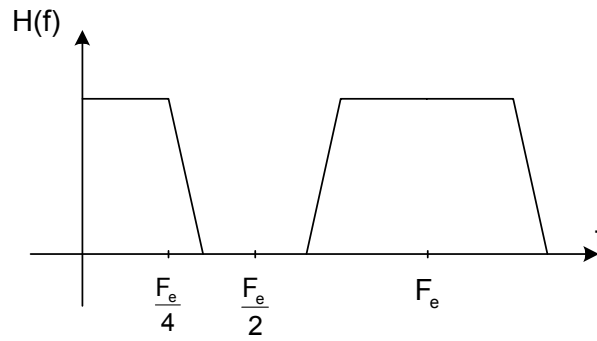


Figure II- 44 : Spectre d'un filtre demi-bande.

Nous allons maintenant mettre en évidence comment est exploitée la particularité des coefficients de ce filtre pour simplifier son implantation. L'approche classique pour modéliser ce filtre est la structure RIF. Soit une convolution numérique :

$$s(i) = \sum_{i=1}^N a_i \cdot e(i) \quad \text{Eq II- 117}$$

avec N : le nombre de coefficients,

a_i : les coefficients,

$e(i)$: les échantillons d'entrée.

$s(i)$: les échantillons de sortie.

Le tableau suivant indique la correspondance entre les coefficients et les échantillons à un instant donné pour un filtre d'ordre 11 (nombre de coefficients total).

Instant \ Coefficient	a_5	0	a_3	0	a_1	a_0	a_1	0	a_3	0	a_5
T	e_{10}	e_9	e_8	e_7	e_6	e_5	e_4	e_3	e_2	e_1	e_0
t+1	e_{11}	e_{10}	e_9	e_8	e_7	e_6	e_5	e_4	e_3	e_2	e_1
t+2	e_{12}	e_{11}	e_{10}	e_9	e_8	e_7	e_6	e_5	e_4	e_3	e_2

Tableau II - 1 : Correspondance entre les coefficients et les échantillons d'entrée.

Les équations de sortie sont alors les suivantes :

$$\begin{aligned} s(t) &= a_5 \times (e_{10} + e_0) + a_3 \times (e_8 + e_2) + a_1 \times (e_6 + e_4) + a_0 \times e_5 \\ s(t+1) &= a_5 \times (e_{11} + e_1) + a_3 \times (e_9 + e_3) + a_1 \times (e_7 + e_5) + a_0 \times e_6 \\ s(t+2) &= a_5 \times (e_{12} + e_2) + a_3 \times (e_{10} + e_4) + a_1 \times (e_8 + e_6) + a_0 \times e_7 \end{aligned}$$

Le sous-échantillonnage va avoir pour effet de ne délivrer en sortie qu'un résultat sur deux. Soit, par exemple $s(t)$ et $s(t+2)$. Ce qui met en évidence que seuls les échantillons impairs sont multipliés par le coefficient central, alors que les échantillons pairs sont multipliés par les coefficients symétriques.

Ces remarques permettent d'envisager une structure pour le demi-bande qui va réduire les calculs effectués. Il s'agit de séparer le traitement selon deux branches distinctes qui sont appelées les phases, l'une concernant les échantillons impairs et l'autre les échantillons pairs. Chacune fonctionnera alors à la fréquence $F_e/2$ et non plus F_e qui est la fréquence d'échantillonnage d'entrée. La phase des échantillons pairs aura la structure d'une convolution dont les coefficients sont symétriques, l'autre se réduira par une suite de retards avant la multiplication des échantillons impairs par le coefficient central [Ron-81].

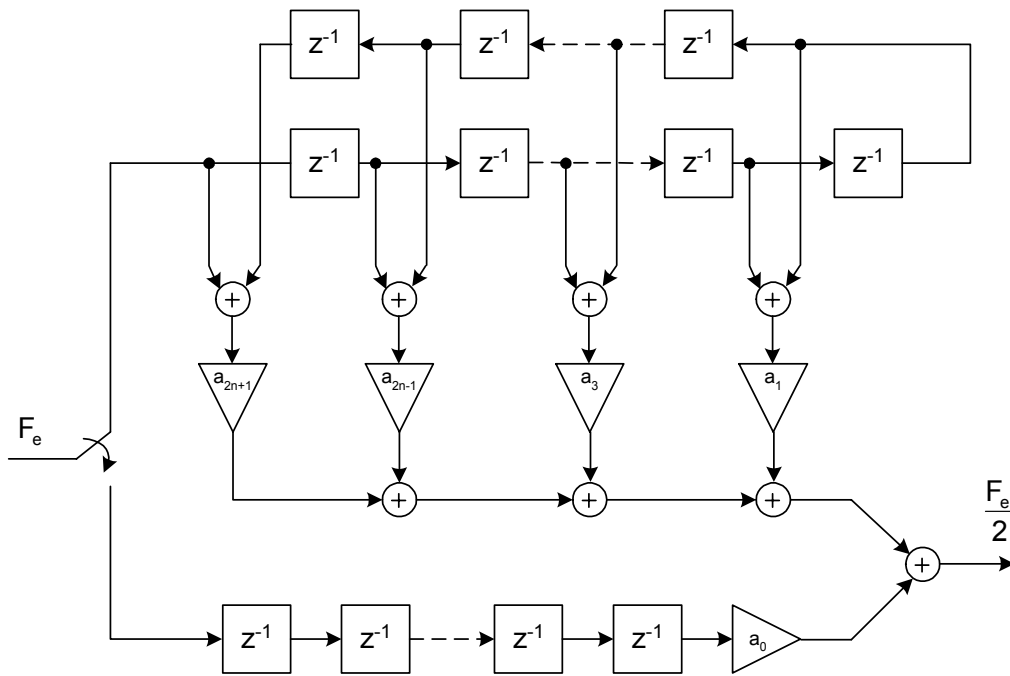


Figure II- 45 : Structure polyphasée d'un filtre demi-bande.

Cette structure, illustrée par la figure II-45 est appelée : "structure polyphasée". Les deux phases sont liées par l'addition de leurs résultats respectifs de sorte qu'elles délivrent les échantillons en sortie à la fréquence $F_e/2$, c'est-à-dire que la fréquence d'échantillonnage d'entrée est décimée d'un facteur 2. La structure polyphasée tire profit de la symétrie des coefficients et de la nullité d'un coefficient sur deux, ce qui permet de réduire le nombre de calculs et la vitesse de ceux-ci, donc de diminuer la surface d'implantation du filtre et sa consommation qui est proportionnelle à la fréquence de travail.

CONCLUSION

Un convertisseur utilisant l'architecture $\Sigma\Delta$ se compose d'un modulateur $\Sigma\Delta$ suivi d'un filtre de décimation. Son fonctionnement repose sur deux principes : le sur-échantillonnage et la mise en forme du bruit de quantification.

Le modulateur $\Sigma\Delta$ délivre une information numérique codée sur peu de bits à un débit élevé. Le filtre de décimation reçoit ce signal et renvoie une information codée sur un nombre de bits plus élevé (la résolution totale du convertisseur) avec un débit plus faible (limite de Nyquist) qui fera l'objet du chapitre IV. Il se compose d'un filtre numérique qui élimine le bruit hors bande et d'un sous-échantillonneur qui ramène le débit de sortie à la fréquence de Nyquist. Les applications audio utilisent largement ce procédé de conversion que ce soit pour la conversion analogique-numérique ou numérique-analogique.

*Modélisation et simulation de circuits à courants
commutés en vue de la conception d'un modulateur
Sigma Delta*

INTRODUCTION

La cellule mémoire S^2I est un circuit qui permet de réduire l'erreur de courant engendrée par le phénomène d'injection de charges. Elle met en œuvre une technique de multi-échantillonnage.

Dans la première partie de ce chapitre, le dimensionnement et la simulation statique des deux cellules mémoires SI et S^2I sont développés et leurs performances comparées. Deux modèles sont développés pour les deux cellules afin d'étudier leur influence sur le comportement du modulateur Sigma Delta. Les modèles sont réalisés en utilisant le logiciel SIMULINK, ce qui permet de prévoir les performances du modulateur dans chaque configuration.

Dans la seconde partie, les différents blocs et l'architecture du modulateur Sigma Delta en mode courant sont détaillés. Un des blocs fondamentaux du modulateur Sigma Delta est l'intégrateur. Ce dernier détermine la précision et la convergence du modulateur. Une nouvelle structure différentielle entièrement symétrique et bilinéaire est présentée.

Dans la troisième partie, une carte de test du modulateur a été réalisée. Elle permet l'adaptation entre les générateurs et le modulateur. En effet, un étage d'entrée permet de fournir un signal différentiel qui va attaquer le modulateur en mode courant. Différentes mesures spectrales ont été faites afin de caractériser dynamiquement le modulateur Sigma Delta.

I- MODELISATION ET SIMULATION DES CELLULES MEMOIRES

Dans le chapitre I, le fonctionnement des deux cellules mémoires SI et S^2I a été présenté. En réalité, les cellules mémoires présentent des non idéalités qui introduisent des erreurs sur le courant de sortie. Ces différentes erreurs sont décrites au chapitre I. Elles sont dues au temps d'acquisition, au phénomène d'injection de charge et au variation de la tension de sortie. Une étude est nécessaire vis à vis de ces différentes erreurs afin d'extraire un modèle proche du fonctionnement réel. Dans ce qui suit, deux modèles décrivant le comportement des deux cellules mémoires SI et S^2I par rapport au phénomène d'injection de charge sont proposés. De même, une étude comparative du comportement du modulateur sigma delta utilisant ces deux modèles sera présentée.

I-1- Simulation de la cellule mémoire SI et S^2I

Les résultats de simulations des cellules SI (figure I-10) et S^2I (figure I-11), où les transistors M1 et M2 sont remplacés par l'association cascode formée par deux transistors, dépendent des caractéristiques technologique de ces transistors. C'est pourquoi, il est primordial de donner les dimensions des transistors (tableaux III-1 et III-2).

(W/L) du transistor mémoire (en μm)	26/6
(W/L) du transistor cascode (en μm)	29/0.6
(W/L) du transistor interrupteur (en μm)	1/0.6

Tableau III - 1 : Dimensions des transistors de la cellule mémoire SI.

(W/L) du transistor mémoire1 (en μm)	26/2
(W/L) du transistor cascode1 (en μm)	29/0.6
(W/L) du transistor interrupteur1 (en μm)	1/0.6
(W/L) du transistor mémoire2 (en μm)	16/2
(W/L) du transistor cascode2 (en μm)	120/0.6
(W/L) du transistor interrupteur2 (en μm)	4/0.6

Tableau III - 2 : Dimensions des transistors de la cellule mémoire S²I.

Le dimensionnement présenté ici s'appuie alors sur les connaissances du comportement des transistors MOS et sur une analyse du circuit. Tout d'abord, les conditions d'un fonctionnement correct de la cellule en statique sont répertoriées. Puis son comportement dynamique est analysé [Rif-99].

Le simulateur utilisé, Spectre S sous environnement Cadence, utilise le modèle du transistor CMOS53 (SPICE niveau 3) avec les paramètres de la technologie CMOS 0.6 μm de chez AMS. La tension d'alimentation est 3.3V, le courant de polarisation de 120 μA et le signal d'horloge est un créneau entre 0 et 3.3V. La charge est constituée par une cellule identique connectée en diode.

Dans un premier temps et par souci de limiter l'injection de charges, les interrupteurs d'échantillonnages sont des transistors NMOS de dimensions minimales pour la cellule mémoire SI. Par contre pour la cellule mémoire S²I on a opté pour des interrupteurs d'échantillonnages de dimensions minimales de type NMOS durant la phase grossière et de type PMOS durant la phase fine.

Dans cette partie, on s'intéresse aux erreurs dites "statiques" telle que l'erreur d'injection de charges, ou d'offset. C'est pourquoi la fréquence du signal d'entrée est fixée à 1kHz et celle du signal d'horloge à 20 kHz.

Les tracés présentés sur les figures ci-dessous montrent le courant de sortie obtenu lors de l'échantillonnage d'une sinusoïde d'entrée d'amplitude 60 μA pour une cellule mémoire SI (figure III-1a) et pour la cellule mémoire S²I (figure III-1b).

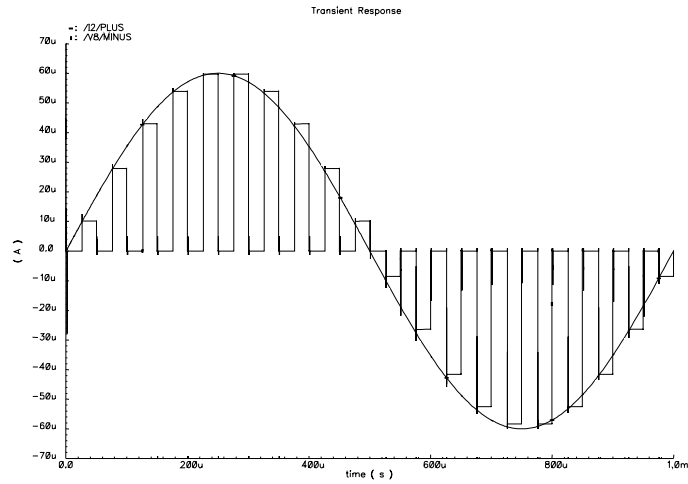


Figure III- 1a : Echantillonnage d'une sinusoïde par la cellule mémoire SI.

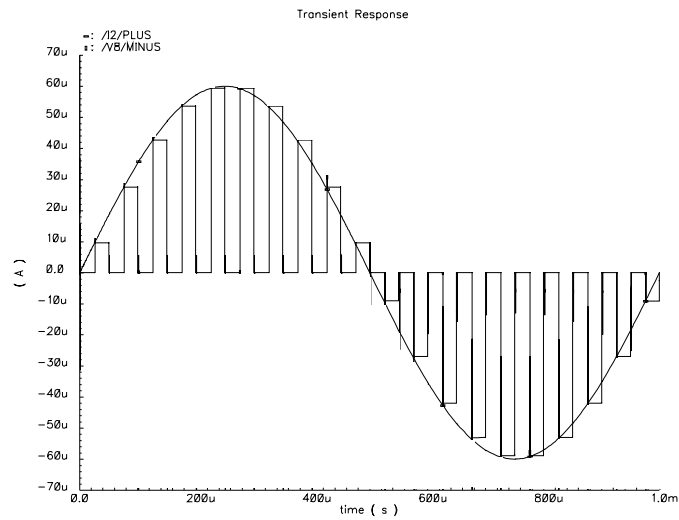


Figure III - 1b : Echantillonnage d'une sinusoïde par la cellule mémoire S²I.

A priori, ces deux figures ont la même forme. Afin de faire apparaître des différences entre ces deux cellules, nous donnons le tableau III-3 qui présente les principales caractéristiques, que ce soit spectrale ou de consommation, des cellules mémoires SI et S²I.

Caractéristique	Cellule mémoire SI	Cellule mémoire S ² I
Erreur d'offset	908nA	139nA
Erreur de gain linéaire	2.66%	0.1%
TDH	0.2%	0.0152%
Consommation	396μW	396μW
Surface occupée	278μm ²	176.4μm ²

Tableau III - 3 : Comparatif des deux cellules mémoires SI et S²I.

Grâce à l'emploi de la cellule mémoire S²I, l'erreur d'offset est divisée par 6.5, l'erreur de gain linéaire par 26.6 et le taux distorsion harmonique est réduit de 22 dB. La cellule mémoire S²I permet donc une amélioration de la précision et de la linéarité. D'autre part, la surface de la cellule mémoire S²I occupée est réduite.

I-1-1- Calcul de l'erreur de mémorisation des deux cellules mémoires SI et S²I

Un plan de simulation est réalisé pour mettre en évidence la réduction de l'erreur d'injection de charges par la cellule S²I. La figure III-2 montre les erreurs de mémorisation obtenues pour les deux cellules mémoires correspondant à la différence entre la valeur du courant d'entrée au moment de l'échantillonnage et la valeur du courant restitué à la sortie.

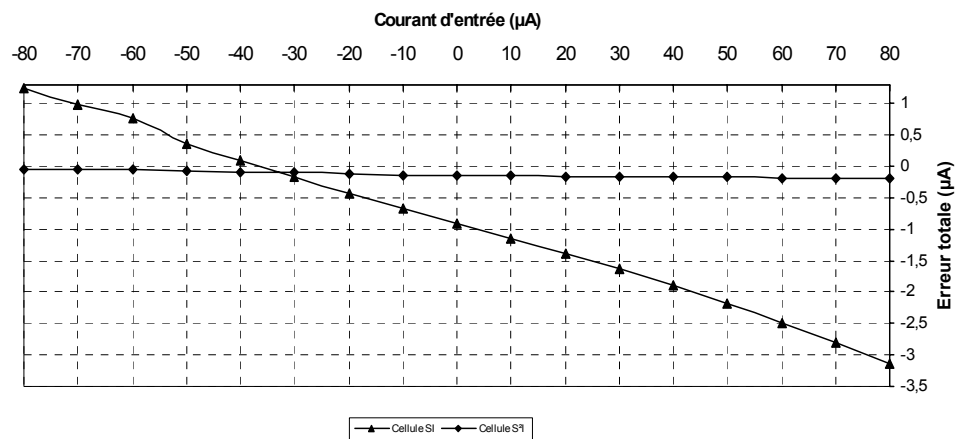


Figure III- 2 : Erreurs de mémorisation obtenues avec les deux cellules.

Ces erreurs de mémorisation sont prises pour différentes valeurs de courant d'entrée comprises entre -80 et $80 \mu\text{A}$. Au delà de cette plage, on assiste à une très forte saturation des transistors mémoires. D'après ces deux courbes on peut constater que l'erreur de mémorisation est subdivisée en deux composantes pour la cellule SI ; une composante correspond à un offset de courant de valeur $1 \mu\text{A}$ soit $0,83\%$ de la valeur du courant de polarisation et une deuxième composante linéaire qui dépend du courant d'entrée. Par contre

L'erreur de mémorisation pour la cellule mémoire S²I peut être considérée comme une seule composante correspondante à un offset de valeur 0,1μA, soit 0,083% de la valeur du courant de polarisation. Ceci corrobore le fait que la cellule S²I propose une erreur de mémorisation indépendante du niveau d'entrée.

I-1-2- Calcul de l'erreur due au rapport fini des conductances d'entrée et de sortie des deux cellules mémoires SI et S²I

Une deuxième simulation a été faite dans les mêmes conditions, en remplaçant les transistors interrupteurs par des interrupteurs idéaux afin d'éliminer l'effet d'injection de charges dans les deux transistors mémoires PMOS et NMOS. La différence entre les courants d'entrée et de sortie donne la valeur de l'erreur due aux variations du courant de sortie δI_{gds} . La figure III-3 représente cet écart en fonction du courant d'entrée pour les deux cellules mémoires.

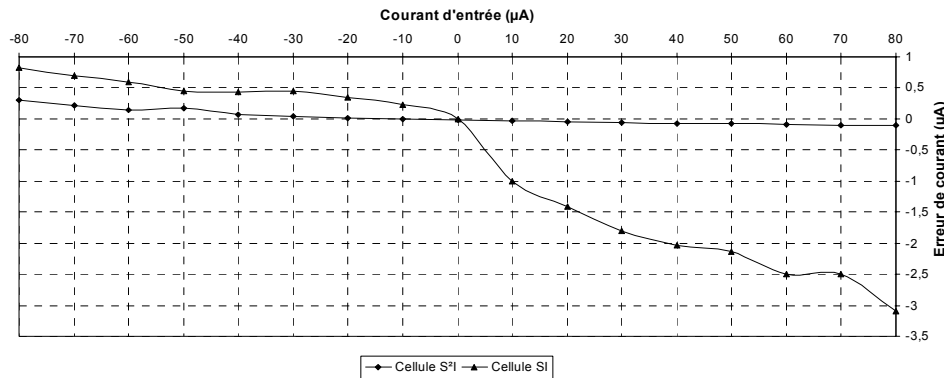


Figure III- 3 : Erreur de δI_{gds} en fonction du courant d'entrée pour les deux cellules.

On remarque que la courbe associée à la cellule mémoire SI est linéaire pour des faibles courants d'entrée, et qu'elle devient non linéaire pour des courants plus élevés. Ceci est dû au fait que la conductance équivalente dépend du point de fonctionnement des transistors. Par contre, on constate que la variation de la courbe pour la cellule mémoire S²I est quasiment nulle car le potentiel drain source est supposé fixe durant les deux phases d'acquisitions. En effet la variation du potentiel drain source est supposée nulle ($\delta I_{gds} = g_0 \delta V_{DS}$).

I-1-3- Calcul de l'erreur d'injection de charges des deux cellules mémoires SI et S²I

L'erreur de courant d'injection de charges est définie comme la différence entre l'erreur de mémorisation et l'erreur due aux conductances pour les deux cellules mémoires. Les courbes de la figure III-4 donnent l'erreur d'injection de charges des deux cellules. Elles montrent que l'erreur d'injection de charges de la cellule mémoire S²I est un offset, contrairement à la cellule mémoire SI, dont l'erreur dépend du courant d'entrée. Une

diminution de l'erreur d'injection de charge due à la deuxième boucle d'échantillonnage est donc validée.

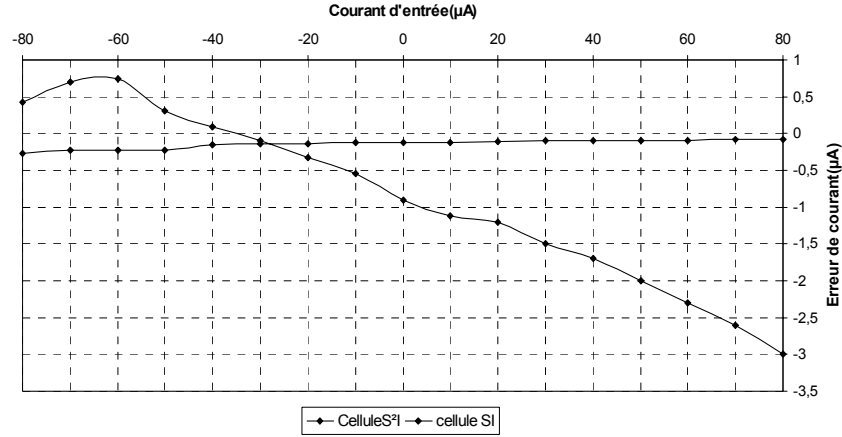


Figure III- 4 : Erreur d'injection de charge pour les deux cellules.

Dans ce qui suit, nous déterminons un modèle pour chaque cellule mémoire et nous étudions leur influence sur le comportement du modulateur Sigma Delta d'ordre 2.

I-2- Etude du modèle de la cellule mémoire SI

L'erreur d'injection de charge induite dans le courant de sortie de la cellule mémoire SI est due à l'imperfection du transistor interrupteur MOS [Weg-87]. Les expressions analytiques, exprimées au chapitre I, sont rappelées ci-dessous :

$$\delta I_{inj1} = K_n \left(\frac{W_1}{L_1} \right) \delta V_{inj1}^2 + 2K_n \left(\frac{W_1}{L_1} \right) (V_{GS1} - V_{T,M1}) \delta V_{inj1} \quad \text{Eq III- 1}$$

avec

$$V_{GS1} = \sqrt{\frac{(JH_e)}{K_n \left(\frac{W_1}{L_1} \right)}} + V_{T,M1} \quad \text{Eq III- 2}$$

$$\delta V_{inj1} = \frac{\alpha C_{canal} (V_H - V_{GS1} - V_{T1i}) + C_{rec} (V_{GS1} + V_{T1i} - V_L)}{C_{GS1}} \quad \text{Eq III- 3}$$

En combinant ces équations à l'aide de logiciel MAPLE, on obtient un courant de sortie qui s'exprime sous forme d'une fonction polynomiale d'ordre 2 avec trois coefficients tel que :

$$\delta I_{inj1} = \beta_2 I_e^2 + \beta_1 I_e + \beta_0 \quad \text{Eq III- 4}$$

Les différentes valeurs du tableau III-4 sont extraites des différents paramètres des transistors lors d'une simulation DC de la cellule mémoire SI avec le simulateur SPECTRE.

β_2	-0.7796
β_1	-0.023
β_0	$-0.6 \cdot 10^{-6}$

Tableau III - 4 : Valeurs calculées par MAPLE.

Le modèle de la cellule mémoire SI est représenté comme suit :

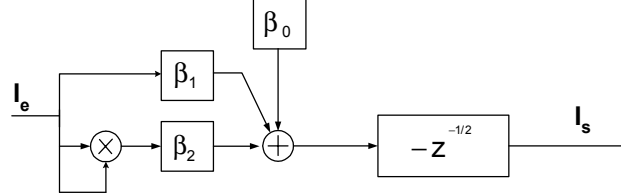


Figure III- 5 : Modèle de la cellule mémoire SI.

I-3- Etude du modèle de la cellule S^2I

De même, pour la cellule mémoire S^2I , les différentes expressions de la phase fine donnée au chapitre I sont rappelées ci-dessous. La cellule mémoire S^2I durant la phase grossière a le même principe de fonctionnement que la cellule mémoire SI, ainsi les mêmes expressions seront utilisées :

$$\delta I_{inj2} = K_p \left(\frac{W_2}{L_2} \right) \delta V_{inj2}^2 + 2K_p \left(\frac{W_2}{L_2} \right) (V_{SG2} - |V_{TM2}|) \delta V_{inj2} \quad \text{Eq III- 5}$$

avec :

$$V_{SG2} = \sqrt{\frac{J + \delta I_{inj1}}{K_p \left(\frac{W_2}{L_2} \right)}} + |V_{TM2}| \quad \text{Eq III- 6}$$

$$\delta V_{inj2} = \frac{(C_{gc2i} + 2C_{rec2i})(V_{DD} - V_{SG2} - V_L - |V_{T2i}|) + C_{rec2i}(V_{SG2} + |V_{T2i}| + V_H - V_{DD})}{C_{GS2}} \quad \text{Eq III- 7}$$

En combinant ces équations à l'aide de logiciel MAPLE, on obtient l'erreur d'injection de charge totale durant les deux phases. On supposera que l'erreur d'injection de charges durant la phase grossière ne sera pas totalement compensé durant la phase fine. Ce qui permet d'exprimer le courant de sortie sous une forme polynomiale d'ordre 4 avec cinq coefficients tel que :

$$\delta I_{inj2} = \beta_4 I_e^4 + \beta_3 I_e^3 + \beta_2 I_e^2 + \beta_1 I_e + \beta_0 \quad \text{Eq III- 8}$$

Les différentes valeurs du tableau III-5 sont extraites des différents paramètres des transistors lors d'une simulation DC de la cellule mémoire S^2I avec le simulateur SPECTRE.

β_4	$0.1156978662 \cdot 10^{-6}$
β_3	$0.4819825862 \cdot 10^{-6}$
β_2	$0.4584637184 \cdot 10^{-2}$
β_1	$0.9548461946 \cdot 10^{-2}$
β_0	0.03400325401

Tableau III - 5 : Valeurs calculées par MAPLE.

Par conséquence, la cellule mémoire S^2I est remplacée par le modèle suivant [Bou-00-1]:

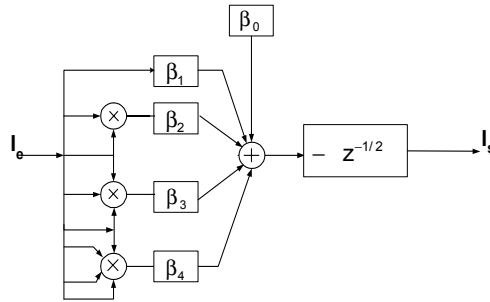


Figure III- 6 : Modèle de la cellule mémoire S^2I .

Ces deux modèles [Bou-00-2] permettent d'étudier le comportement du modulateur Sigma Delta avec MATLAB avant leurs implantations afin de prévoir leurs performances.

I-4- Etude du comportement des modulateurs SI et S^2I

L'intégrateur est le principal bloc du modulateur Sigma Delta passe bas. La fonctionnalité du modulateur dépend donc des performances de l'intégrateur (figure III-7). Une modélisation de l'intégrateur permet de simuler le comportement du modulateur Sigma Delta.

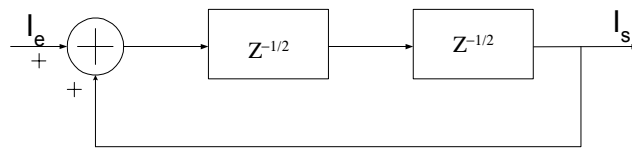


Figure III- 7 : Diagramme d'un intégrateur à courant commuté.

La structure du modulateur du deuxième ordre est présentée sur la figure III-8 .

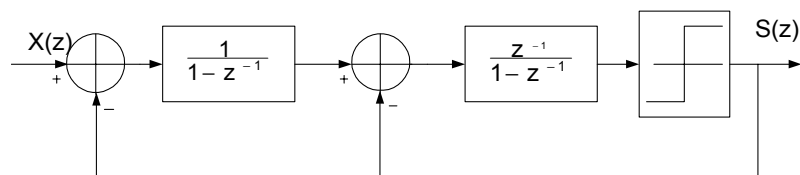


Figure III- 8 : Diagramme simplifié du modulateur Sigma Delta.

Une simulation de cette structure faite à l'aide de logiciel MATLAB dans la bande audio, avec les différentes caractéristiques données dans le tableau III-6 est présentée. Le spectre de sortie idéal du modulateur est illustré à la figure III-9.

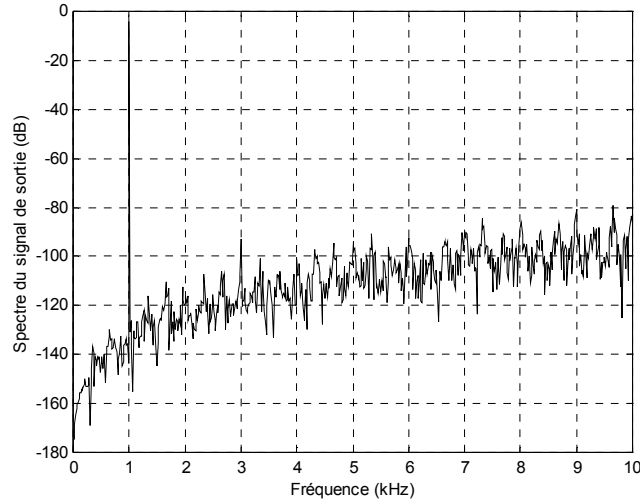


Figure III- 9 : Spectre idéal de la sortie du modulateur.

Le niveau du plancher du bruit dans la bande audio (0-8Khz) assure une valeur minimale de 80 dB. Cette analyse permet de détecter la distorsion harmonique causée par les imperfections des différents blocs du modulateur.

Fréquence d'échantillonnage	1.024Mhz
Bande audio	0-8 Khz
Fréquence du signal d'entrée	1Khz
sur échantillonnage	64
Nombre d'échantillons	32768

Tableau III - 6 : Les paramètres de simulation du modulateur.

I-4-1- Etude comparative

Dans ce paragraphe, nous proposons une simulation du modulateur $\Sigma\Delta$ d'ordre deux pour les deux modèles avec les cellules mémoires SI et S²I. Nous étudions leurs influences sur les performances du modulateur dans la bande audio. Les figures III-10 et III-11 représentent respectivement le spectre de sortie du modulateur SI et S²I dans la bande audio limité à 8kHz, le résultat montre une augmentation du niveau du plancher de bruit vers les fréquence nulles pour les deux spectres. On remarque que les deux modulateurs, utilisant la technique SI et la technique S²I, semblent réagir de la même manière.

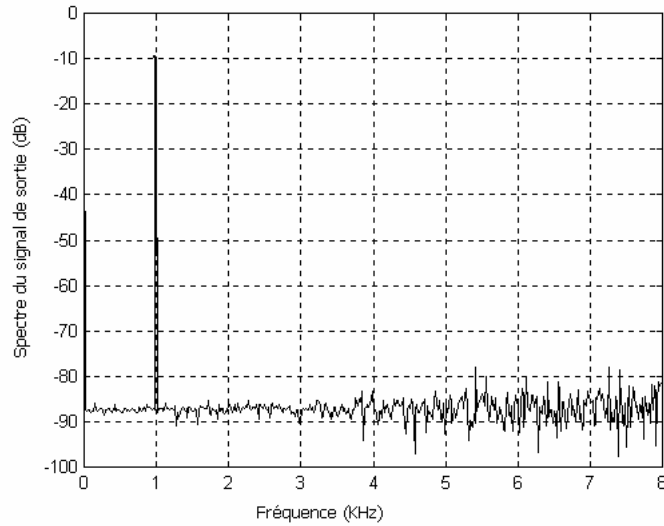


Figure III- 10 : Spectre de sortie pour le model SI.

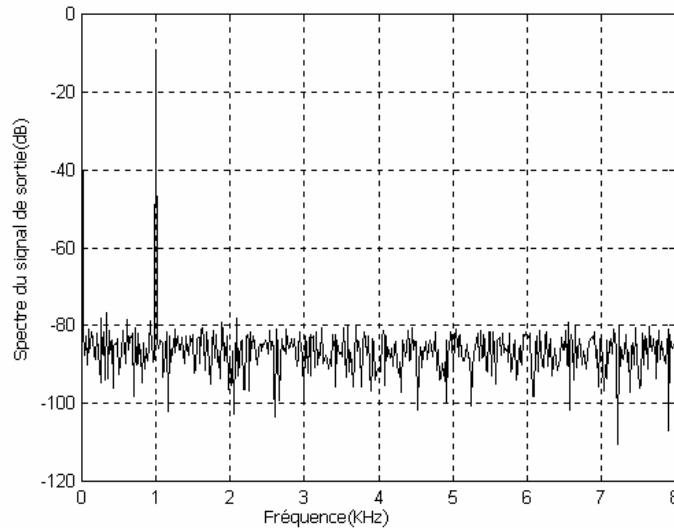


Figure III- 11 : Spectre de sortie pour le model S^2I .

Afin de déterminer l'origine de l'augmentation du niveau de plancher de bruit, on a séparé le modèle de l'erreur d'injection de charge en deux composantes. La première composante, dite linéaire, représente la composante continue plus la composante linéaire. La deuxième composante, dite non linéaire, regroupe les composantes non linéaires du modèle. Nous avons simulé la structure du modulateur $\Sigma\Delta$ du second ordre avec chacune des composantes (linéaire et non linéaire) pour chacun des modèles (SI et S^2I) de façon séparée. La figure III-12 représente le spectre de sortie du modulateur en utilisant les composantes linéaires de l'erreur d'injection de charges pour les deux modèles SI et S^2I . On constate que la composante linéaire n'est pas responsable de l'augmentation du plancher du bruit du modulateur dans la bande audio.

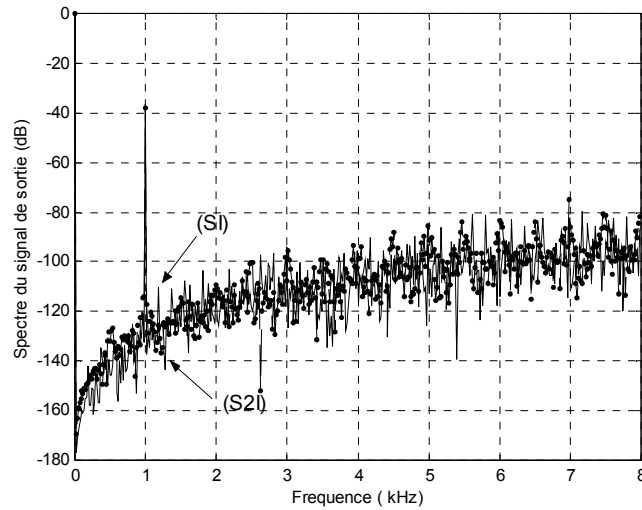


Figure III- 12 : Spectre de sortie pour les modulateurs (SI) et (S^2I) pour une erreur linéaire.

La figure III-13 représente le spectre de sortie du modulateur en utilisant les composantes non linéaires du modèle de la cellule SI. On constate que pour des courants faibles, ou forts, le niveau du plancher de bruit augmente. La figure III-14 représente le spectre de sortie du modulateur Sigma Delta en utilisant les composantes non linéaires du modèle de la cellule S^2I .

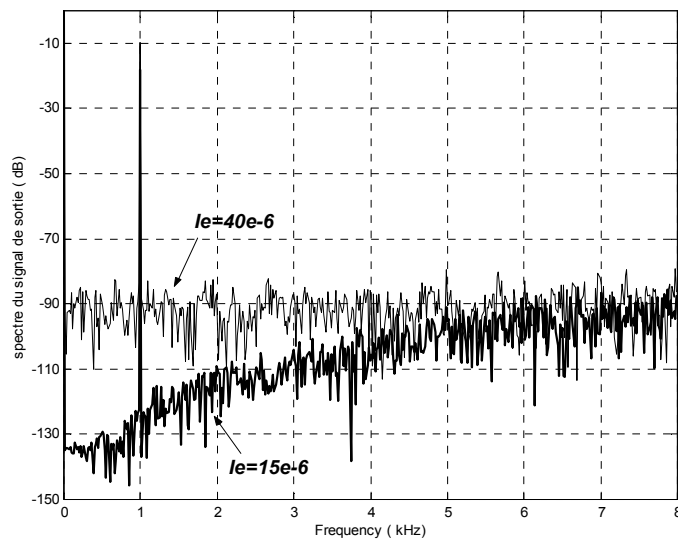


Figure III- 13 : Spectre de sortie du modulateur SI pour une composante non linéaire.

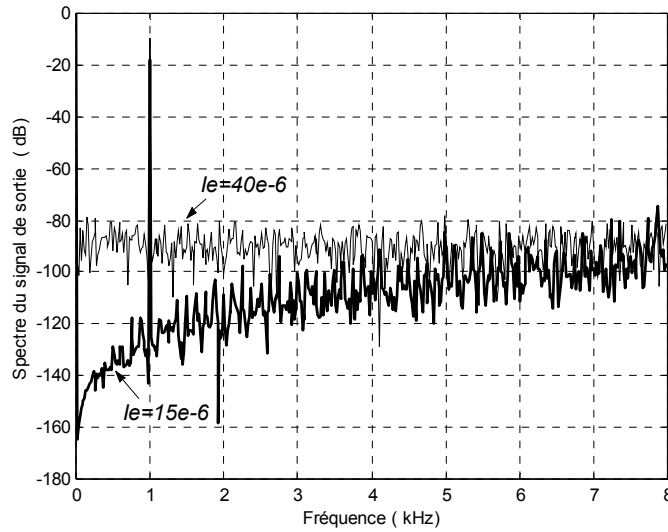


Figure III- 14 : Spectre de sortie du modulateur S²I pour une composante non linéaire.

On remarque que pour des faibles courants, l'allure de plancher du bruit est quasi idéal. Cependant, pour des courants forts, on note une augmentation du niveau du plancher du bruit. Ceci nous mène à la conclusion suivante : seule la composante non linéaire des modèles des deux cellules SI et S²I est responsable de l'augmentation du niveau de plancher de bruit. D'autre part, on remarque un meilleur comportement de la cellule S²I par rapport à la cellule SI, pour des faibles courants. En effet le niveau du plancher de bruit de la cellule S²I est plus proche du niveau idéal par rapport à celui de la cellule SI [Tan-95].

Dans ce qui suit, nous nous intéressons à la conception du modulateur Sigma Delta S²I de second ordre passe bas. Ce modulateur est formé de quatre blocs :

- L'intégrateur qui constitue le filtre passe bas.
- Le comparateur.
- Le convertisseur numérique-analogique qui forme la boucle de retour.
- Le circuit de génération des signaux de commande.

II- LES DIFFERENTES STRUCTURES DE L'INTEGRATEUR S²I

Le courant de sortie d'une cellule mémoire à courants commutés est égale au courant d'entrée retardé de 1/2 cycle. Pour réaliser un intégrateur à partir de la cellule mémoire S²I, il suffit de connecter deux cellules en série avec un rebouclage comme illustré dans la figure suivante :

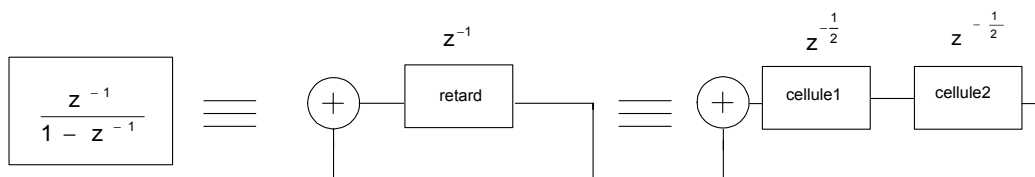


Figure III- 15 : Intégrateur réalisé à partir de deux cellules mémoires à courants commutés.

II-1- Principe de l'intégrateur S^2I

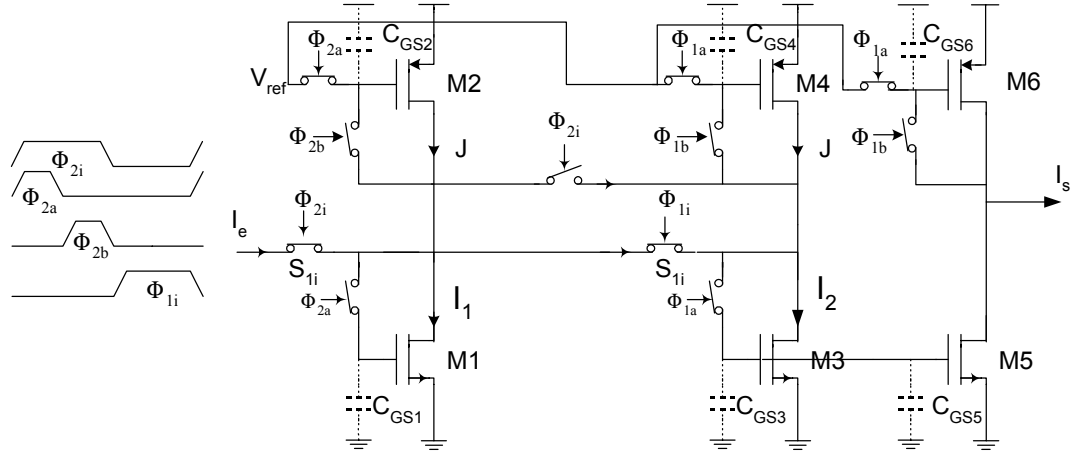


Figure III- 16 : Principe de l'intégrateur S^2I à courants commutés.

La figure III-16 représente la mise en cascade de deux cellules mémoires S^2I dans laquelle la sortie de la deuxième cellule est bouclée à l'entrée. Ceci représente la configuration de l'intégrateur dans le domaine discret. Les deux interrupteurs Φ_{1i} et Φ_{2i} dans la boucle de rétroaction, qui sont en parallèle, peuvent être remplacés par un court circuit.

II-2- Intégrateur S^2I non inverseur

La figure III-17 représente la structure simplifiée du l'intégrateur non inverseur.

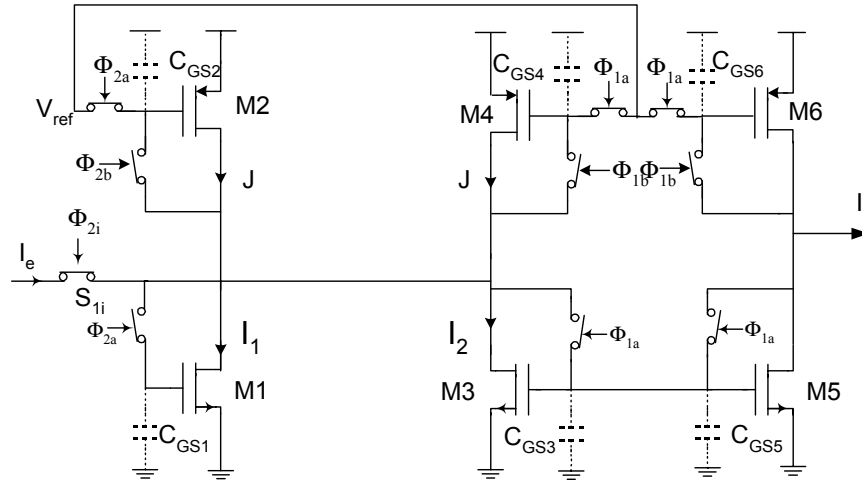


Figure III- 17 : Principe d'un intégrateur S^2I non inverseur.

Durant la phase grossière Φ_{2a} de la période (n-1), le transistor mémoire M1 est connecté en diode et le transistor mémoire M2 est une source de courant. M1 est parcouru par la somme

du courant d'entrée $I_e(n-1)$, du courant de polarisation du transistor M2 et du courant de sortie ($J-I_2(n-1)$). Le courant dans M1 est alors :

$$I_1(n) = I_e(n-1) + J + I_s(n-1) \quad \text{Eq III- 9}$$

Durant la phase fine Φ_{2b} de la période (n-1), la grille du transistor mémoire M1 est isolée ; le transistor mémoire M2 est connecté en diode et son courant de drain est égal au courant de polarisation. Le transistor mémoire M1 mémorise son courant de drain $I_1(n)$.

Durant la phase grossière Φ_{1a} de la période (n), le transistor M3 est connecté en diode. Le transistor mémoire M4 fonctionne comme une source de polarisation. L'expression du courant du transistor M3 vaut :

$$I_2(n) = 2J - I_1 \quad \text{Eq III- 10}$$

$$I_2(n) = J - I_e(n-1) - I_s(n-1) \quad \text{Eq III- 11}$$

Durant la phase fine Φ_{1b} de la période (n), le transistor mémoire M4 est connecté en diode et son courant de drain est fixé à J. La grille du transistor mémoire M3 est isolée et son courant est mémorisé durant cette phase.

Le courant de sortie est alors :

$$I_s(n) = J - I_2(n) \quad \text{Eq III- 12}$$

$$I_s(n) = I_s(n-1) + I_e(n-1) \quad \text{Eq III- 13}$$

La transformée en z du rapport entre le courant de sortie et d'entrée est :

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad \text{Eq III- 14}$$

ou encore :

$$H(z) = \frac{z^{-1/2}}{z^{1/2} - z^{-1/2}} \quad \text{Eq III- 15}$$

En substituant z par $e^{j\omega T}$, on obtient la fonction du transfert de l'intégrateur non inverseur $H(e^{j\omega T})$ donnée par :

$$H(e^{j\omega T}) = \frac{1}{j\omega} \left(\frac{\frac{\omega T}{2}}{\sin\left(\frac{\omega T}{2}\right)} \right) e^{-j\omega \frac{T}{2}} \quad \text{Eq III- 16}$$

Cet intégrateur S²I non inverseur réalise la fonction de transfert d'un intégrateur linéaire avec un gain de 1/T. Une erreur sur l'amplitude correspondant au terme en sinus cardinal sera supposée sans effet pour des fréquences d'échantillonnages très supérieures à la fréquence maximale de la bande utile du signal d'entrée. On constate aussi un retard de T/2.

Cette structure est simulée pour un signal d'entrée d'amplitude $I_e = 30\mu A$ et de fréquence 100kHz.

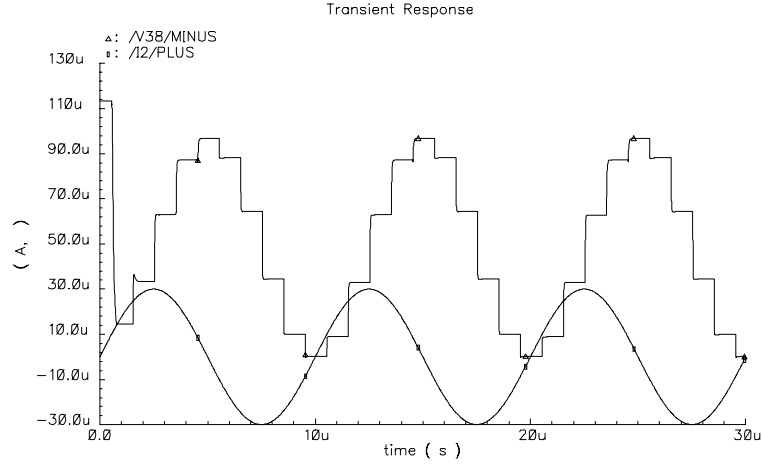


Figure III- 18 : Simulation du l'intégrateur non inverseur S^2I .

II-3- Intégrateur S^2I inverseur

De même, la figure suivante donne le schéma simplifié d'un intégrateur inverseur S^2I .

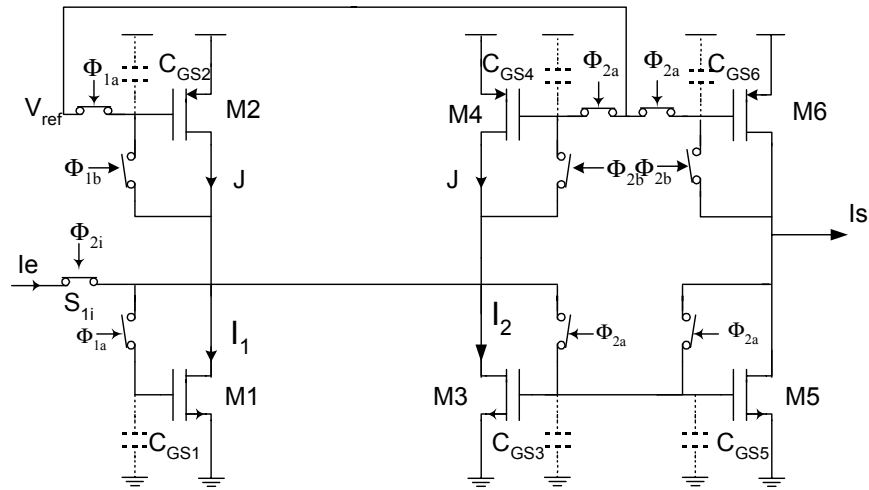


Figure III- 19 : Principe d'un intégrateur inverseur S^2I .

Durant la phase fine Φ_{1b} de la période (n), le transistor mémoire M2 est connecté en diode. Il est parcouru par le courant de polarisation J. Le transistor mémoire M1 mémorise son courant de drain qui vaut alors :

$$I_1(n) = J + I_s(n) \quad \text{Eq III- 17}$$

Durant la phase grossière de la phase Φ_{2a} associée à la période (n+1), le transistor mémoire M3 est connecté en diode, on a :

$$I_2(n+1) + I_1(n+1) = 2J + I_e(n+1) \quad \text{Eq III- 18}$$

$$I_1(n+1) = I_1(n) = J + I_s(n) \quad \text{Eq III- 19}$$

Ce qui donne :

$$I_2(n+1) = J + I_e(n+1) - I_s(n) \quad \text{Eq III- 20}$$

Or

$$I_2(n+1) = J - I_s(n+1) \quad \text{Eq III- 21}$$

Le courant de sortie devient alors :

$$I_s(n+1) = I_s(n) - I_e(n-1) \quad \text{Eq III- 22}$$

dont la transformée en z donne :

$$H(z) = \frac{-1}{1 - z^{-1}} \quad \text{Eq III- 23}$$

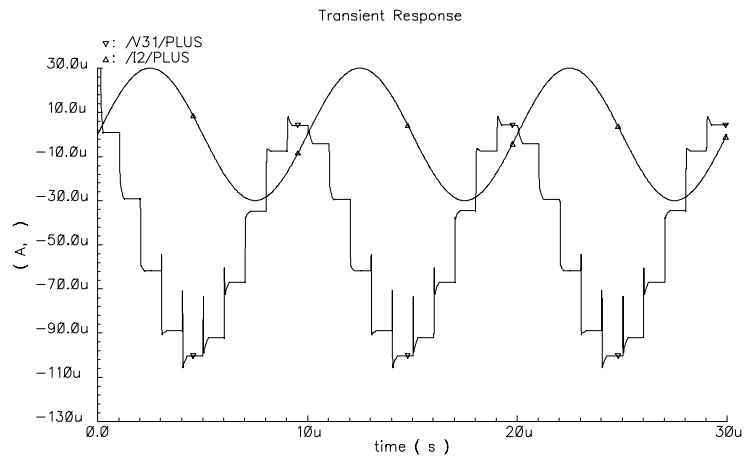
ou encore :

$$H(z) = \frac{-z^{1/2}}{z^{1/2} - z^{-1/2}} \quad \text{Eq III- 24}$$

En substituant z par $e^{j\omega T}$, on obtient la fonction de transfert de l'intégrateur non inverseur $H(e^{j\omega T})$ donnée par :

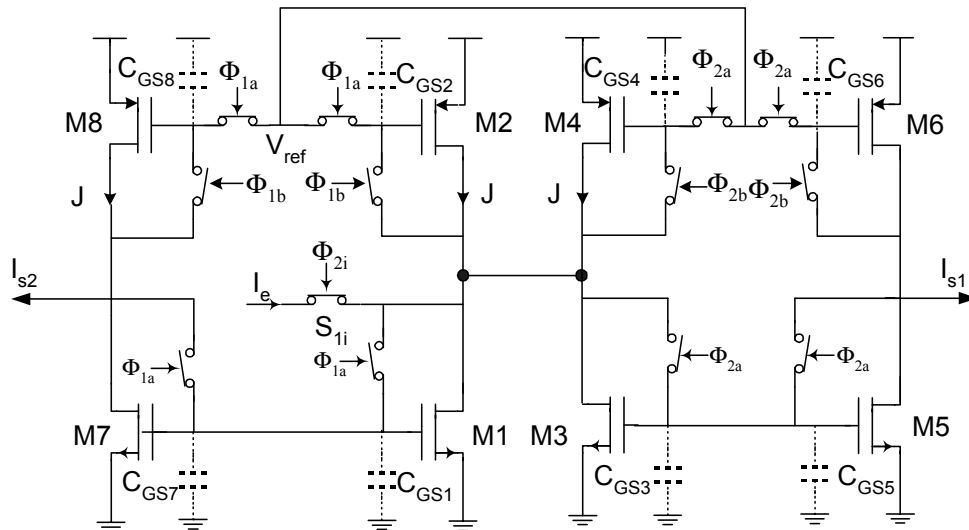
$$H(e^{j\omega T}) = -\frac{1}{j\omega} \left(\frac{\frac{\omega T}{2}}{\sin\left(\frac{\omega T}{2}\right)} \right) e^{j\frac{\omega T}{2}} \quad \text{Eq III- 25}$$

Cet intégrateur réalise la même fonction de transfert que celle de l'intégrateur non inverseur, mais avec une avance de $T/2$. La structure est simulée (figure III-20) pour un signal d'entrée d'amplitude $I_e = 30\mu A$ et de fréquence $f_e = 100kHz$.

Figure III- 20 : Simulation de l'intégrateur inverseur S^2I .

II- 4- Intégrateur S^2I symétrique

En rassemblant, les deux structures précédentes dans le même schéma bloc donné à la figure III-21, on obtient un intégrateur symétrique S^2I qui permet de réaliser à la fois les deux types d'intégration, inverseur et non inverseur. Le courant I_{s1} correspond à la sortie de l'intégrateur inverseur et le courant I_{s2} à celle de l'intégrateur non inverseur.

Figure III- 21 : Intégrateur symétrique S^2I .

Son schéma synoptique en mode courant avec ses signaux de commandes est donné à travers la figure III-22.

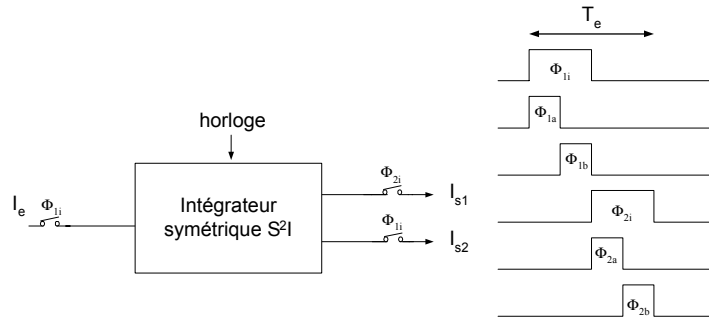


Figure III- 22 : Schéma synoptique de l'intégrateur S²I symétrique en mode courant.

Les fonctions de transfert entre courants sont :

$$\frac{I_{s1}(z)}{I_e(z)} = -\frac{1}{1-z^{-1}} \quad \text{Eq III- 26}$$

$$\frac{I_{s2}(z)}{I_e(z)} = \frac{z^{-1}}{1-z^{-1}} \quad \text{Eq III- 27}$$

II-5- Intégrateur S²I différentiel bilinéaire

Une forme dérivée de la structure de l'intégrateur S²I symétrique, à entrée différentielle, qui réalise la fonction bilinéaire [Tan-94], est représentée dans la figure III-23. Cette structure est une solution souvent proposée à fin d'augmenter les performances des intégrateurs en classe A. Cet intégrateur S²I bilinéaire est formé de deux unités d'intégrateurs. Les sorties des deux unités sont interconnectées à la sortie pour fournir deux sorties différentielles réalisant la même fonction bilinéaire. Ce montage implique que le signal sera échantillonné dans chaque phase d'horloge (c'est à dire pendant chaque période d'horloge, il sera échantillonné deux fois) et l'algorithme accompli un gain de vitesse égal à deux pour une fréquence d'horloge constante.

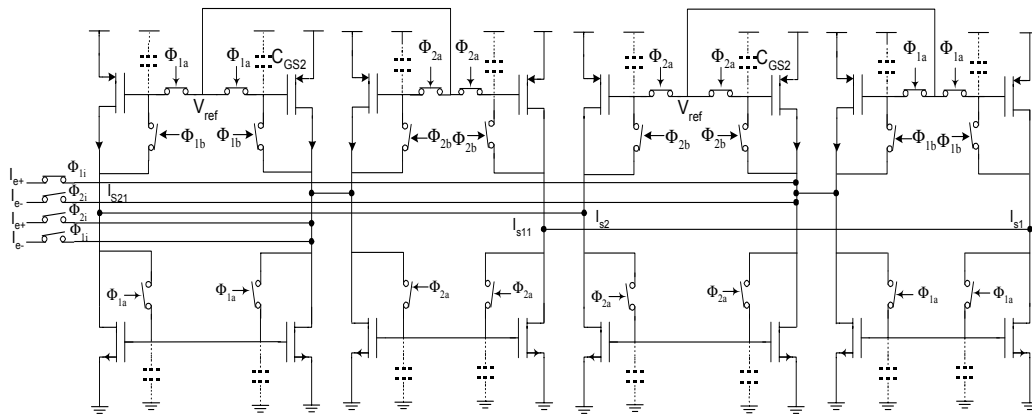


Figure III- 23 : Intégrateur différentiel S²I bilinéaire.

Le schéma synoptique en courant commuté de l'intégrateur S^2I différentiel bilinéaire est le suivant :

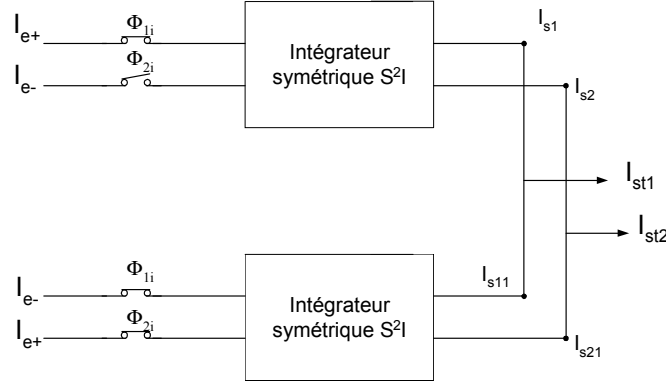


Figure III- 24 : Schéma synoptique de l'intégrateur différentiel S^2I bilinéaire.

Les différentes sorties lors de la phase Φ_1 peuvent être exprimées par :

$$I_{s1} = \frac{-1}{1-z^{-1}} I_{e+} + \frac{z^{-1/2}}{1-z^{-1}} I_{e-} \quad \text{Eq III- 28}$$

$$I_{s2} = \frac{z^{-1}}{1-z^{-1}} I_{e+} - \frac{z^{-1/2}}{1-z^{-1}} I_{e-} \quad \text{Eq III- 29}$$

$$I_{s11} = \frac{z^{-1}}{1-z^{-1}} I_{e-} - \frac{z^{-1/2}}{1-z^{-1}} I_{e+} \quad \text{Eq III- 30}$$

$$I_{s21} = -\frac{1}{1-z^{-1}} I_{e-} + \frac{z^{-1/2}}{1-z^{-1}} I_{e+} \quad \text{Eq III- 31}$$

Les expressions des courants de sortie de l'intégrateur bilinéaire sont respectivement I_{st1} et I_{st2} :

$$I_{st2} = I_{s2} + I_{s21} \quad \text{Eq III- 32}$$

$$I_{st2} = \frac{1}{1-z^{-1/2}} I_{e-} + \frac{z^{-1/2}}{1-z^{-1/2}} I_{e+} \quad \text{Eq III- 33}$$

$$I_{st1} = I_{s1} + I_{s11} \quad \text{Eq III- 34}$$

$$I_{st1} = \frac{z^{-1/2}}{1-z^{-1/2}} I_{e-} - \frac{1}{1-z^{-1/2}} I_{e+} \quad \text{Eq III- 35}$$

Le calcul de la fonction de transfert durant la phase Φ_1 , s'applique de la même manière durant la phase Φ_2 . La fonction de transfert différentielle globale de l'intégrateur bilinéaire $H_{\text{Diff}}(z)$ est donnée par :

$$H_{\text{Diff}}(z) = \frac{I_{\text{st1}} - I_{\text{st2}}}{I_{\text{e-}} - I_{\text{e+}}} = \frac{1 + z^{-1/2}}{1 - z^{-1/2}} \quad \text{Eq III- 36}$$

L'opérateur $z^{-1/2}$ confirme le double échantillonnage des courants d'entrée. Pour la réalisation des circuits S^2I différentiels, il est nécessaire d'éliminer la composante en mode commun. En effet, si les entrées différentielles en courant $I_{\text{e+}}$ et $I_{\text{e-}}$ comporte une composante en mode commun, alors la fonction de transfert en mode commun $H_{\text{Comm}}(z)$ peut s'écrire :

$$H_{\text{Comm}}(z) = \frac{I_{\text{st1}} + I_{\text{st2}}}{I_{\text{e+}} + I_{\text{e-}}} = 1 \quad \text{Eq III- 37}$$

D'après les équations Eq III-33 et Eq III-34, on en déduit que l'opération d'intégration ne s'effectue qu'en mode différentiel. De plus, le mode commun est complètement restitué. Pour cela des sorties supplémentaires sont nécessaires pour recopier les courants I_{s1} , I_{s2} , I_{s11} et I_{s21} que l'on somme pour faire apparaître le mode commun (Eq III-37). Une fois la composante du mode commun restituée, on la réinjecte dans les nœuds d'intégrations afin d'éliminer le mode commun. La figure III-25 montre le circuit de compensation du mode commun.

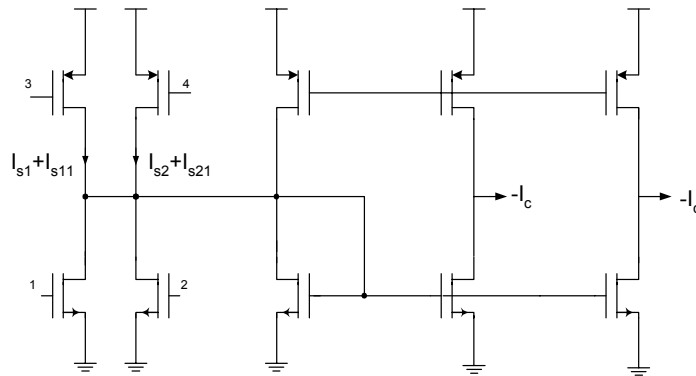


Figure III- 25 : Circuit de compensation du mode commun.

La figure III-25 montre le circuit de compensation du mode commun : les nœuds 1 et 2 sont connectés aux grilles du transistor mémoire durant la phase grossière, et les nœuds 3 et 4 sont connectés aux grilles du transistor mémoire durant la phase fine. Les deux sorties en courant sont injectés au nœud d'intégration des deux intégrateurs S^2I symétriques.

L'emploi d'une structure bilinéaire permet d'avoir un gain différentiel en courant. Deux problèmes se présentent pour l'élimination du mode commun.

- Augmentation de la surface de 50% due à l'adjonction des miroirs de courant.
- Une erreur de désaccord entre les transistors lors de la sommation de courant.

Une nouvelle structure dite pseudo-bilinéaire est proposée dans le paragraphe suivant.

II- 6- Intégrateur S^2I pseudo bilinéaire différentiel

En faisant intervenir un jeu d'horloge adéquat, on valide les courants de sorties aux différents nœuds I_{s1} , I_{s2} , I_{s11} et I_{s21} sur la phase correspondante [Bou-01-1]. La figure III-26 détaille la structure proposée :

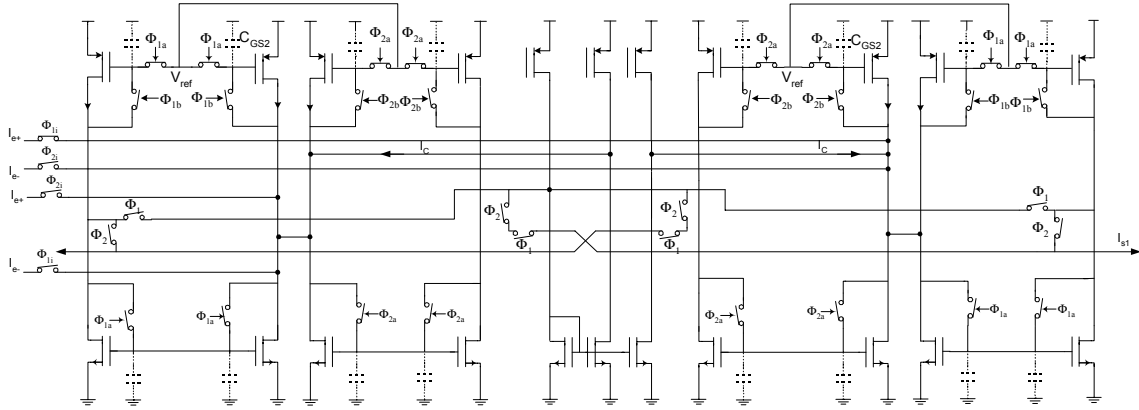


Figure III- 26 : Intégrateur pseudo bilinéaire différentiel S^2I .

Le schéma synoptique, dans la figure III-27, donne une présentation simplifiée de cette structure :

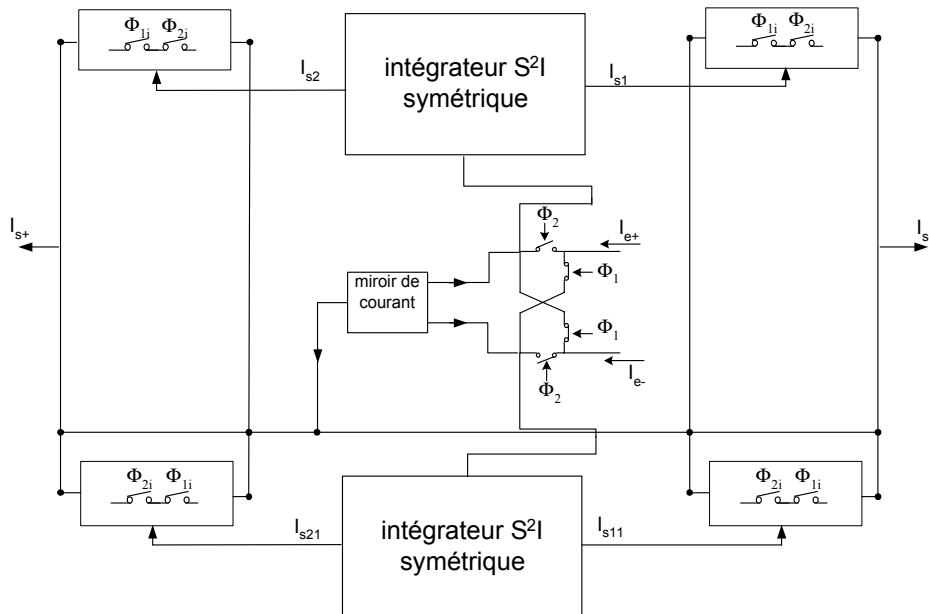


Figure III- 27 : Schéma synoptique de l'intégrateur S^2I pseudo bilinéaire.

En connectant les sorties I_{s1} et I_{s11} et les sorties I_{s2} et I_{s21} , nous obtenons les fonctions différentielles bilinéaires aux sorties. Cependant, à cause de la structure différentielle, nous avons besoin de la compensation du mode commun. Pour cela un étage de sortie connecté aux quatre sorties est nécessaire, ce qui augmente la puissance de dissipation et la surface d'occupation.

Ici, une autre alternative est proposée. Seulement deux des quatre sorties sont utilisées comme nœuds de sorties durant chaque phase d'horloge. Cela libère les deux autres, qui permettent ainsi la restitution du signal du mode commun et la réalisation d'une fonction bilinéaire d'intégration. La composante du mode commun est donc créée sous forme de courant (contrairement au mode commun en tension), utilisant un miroir de courant pour additionner, inverser et mettre le signal en réaction sur chaque entrée de l'intégrateur.

La tension d'alimentation est fixée à 3.3 V, le courant de polarisation $J=120 \mu A$. Le circuit de l'intégrateur pseudo bilinéaire S^2I a été simulé sous CADENCE pour une entrée en courant sinusoïdal d'amplitude $30 \mu A$, de fréquence 100 KHz et échantillonnée à la fréquence d'horloge de 1 MHz. Le résultat de simulation est donné par la figure III-23.

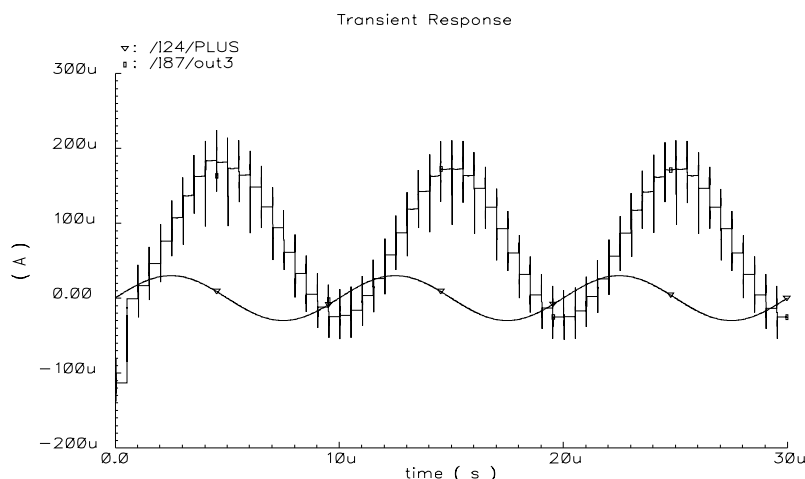


Figure III- 28 : Simulation d'intégrateur S^2I pseudo bilinéaire différentielle avec le mode commun.

Cet intégrateur a été utilisé par la suite pour la réalisation du modulateur Sigma Delta du second ordre.

III- COMPAREUR DE COURANT

Bien qu'il existe de nombreuses architectures pour le comparateur de tension [Raz-95, Gei-90, All-82, Wu-88, Yin-92, Dow-96], les structures proposées pour le comparateur de courant sont moins variées. Le comparateur de courant est généralement un amplificateur de

transrésistance, c'est à dire que l'entrée du comparateur est un courant et la sortie est une tension. Vu qu'on peut facilement inverser le signe du courant moyennant un miroir de courant, il n'est pas obligatoire d'avoir un comparateur à entrée différentielle. En effet, un miroir de courant situé en amont du comparateur, peut effectuer la soustraction des courants. Le comparateur de courant idéal doit présenter les propriétés suivantes :

- Une transrésistance infinie,
- Une impédance d'entrée nulle,
- Un courant de décalage nul,
- Un temps de réponse nul.

En réalité le comparateur de courant présente un gain (une transrésistance) et une impédance d'entrée finie non nulle avec un courant de décalage et un temps de réponse non-nuls.

III-1- Comparateur de courant basé sur l'inverseur logique

Le comparateur de courant le plus simple, basé sur un inverseur logique [Tou-93a], est montré à la figure III-29.

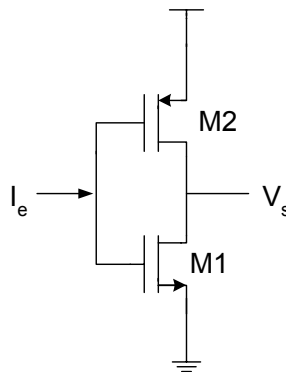


Figure III- 29 : Inverseur logique utilisé comme comparateur de courant.

L'impédance d'entrée du comparateur est donnée par les capacités grille source des transistors M1 et M2. Une fois les capacités grille-source chargées, le courant d'entrée s'annule et l'inverseur présente une impédance d'entrée infinie. Cela peut perturber le fonctionnement du circuit fournissant le courant au comparateur, c'est pourquoi ce circuit ne peut pas être considéré comme un vrai comparateur de courant. Evidemment, une version améliorée du circuit incluant la contre réaction positive [pat-94] présentera ces mêmes inconvénients.

III-2- Comparateur à miroir de courant

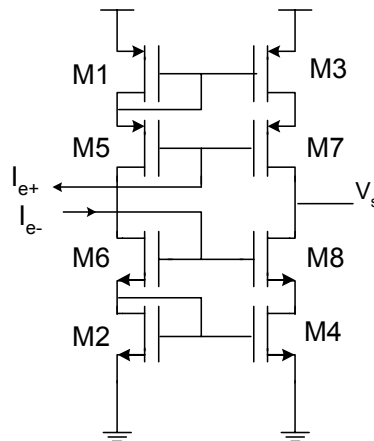


Figure III- 30 : Comparateur à miroir de courant.

Le comparateur à miroir de courant utilise des miroirs de courant à haute impédance de sortie qui sont connectés en classe AB [Traf-92]. Ce circuit permet d'amplifier les faibles écarts de courant d'entrée sous forme de grande variations du potentiel de sortie. Cependant, la grande résistance de sortie limite les performances du comparateur du point de vue rapidité dans le cas d'une charge capacitive.

III-3- Comparateur de courant à contre réaction en classe B

La contre réaction est une méthode connue pour augmenter la vitesse et la précision des comparateurs de tension [Raz-95, Gei-90]. Une forme particulière de cette technique a été utilisée pour améliorer le comparateur basé sur l'inverseur logique [Traf-92, Vaz-95], figure III-31. Ce montage présente deux particularités importantes par rapport aux différents circuits inverseurs : une impédance d'entrée relativement faible puisque le courant d'entrée voit la source des transistors M1 et M2 et une vitesse élevée avec une grande précision grâce à l'utilisation de la contre réaction.

Dans la figure III-31, l'étage d'entrée comportant les deux transistors M1 et M2 fonctionne en classe B. Les transistors M3, M4, M5 et M6 sont deux à deux des amplificateurs inverseurs, chacun possédant un gain de $-g_m/g_{ds}$.

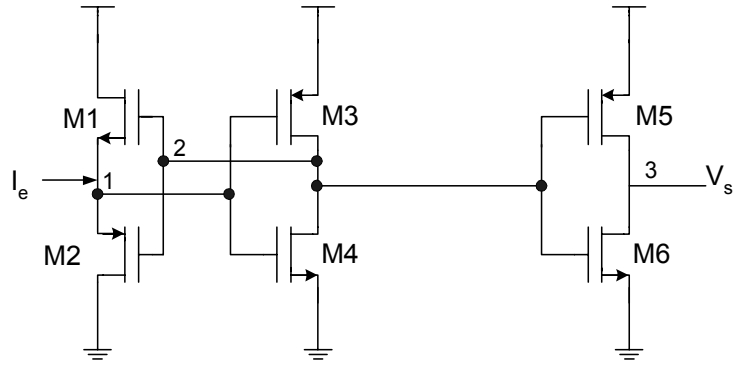


Figure III- 31 : Comparateur de courant à contre-réaction.

Ce comparateur de courant fonctionne selon trois modes :

Pour un courant d'entrée positif (figure III-32-a), le potentiel d'entrée du nœud 1 est au niveau haut. Ce dernier est amplifié par les transistors M3 et M4, ce qui engendre une diminution du potentiel au nœud 2. Les deux tensions grilles sources des transistors M1 et M2 sont négatives, permettant ainsi le blocage du transistor M1 et la conduction du transistor M2. Dans cet état, l'impédance d'entrée est relativement faible ($1/g_{m2}$) car le courant d'entrée I_e est fournie par M2. La sortie du comparateur V_s dans ce cas est au niveau haut.

Quand le courant d'entrée change de signe (figure III-32-b), la commande de la grille de l'amplificateur présente une insuffisance pour fournir le courant I_e , le potentiel du nœud 1 est temporairement en haute impédance .

Quand le courant d'entrée est négatif (figure III-32-c), V1 est à l'état bas et V2 est à l'état haut, ce qui bloque le fonctionnement du transistor M2 et met en conduction le transistor M1, assurant ainsi une impédance d'entrée faible ($1/g_{m1}$). La sortie du comparateur dans ce cas est au niveau bas.

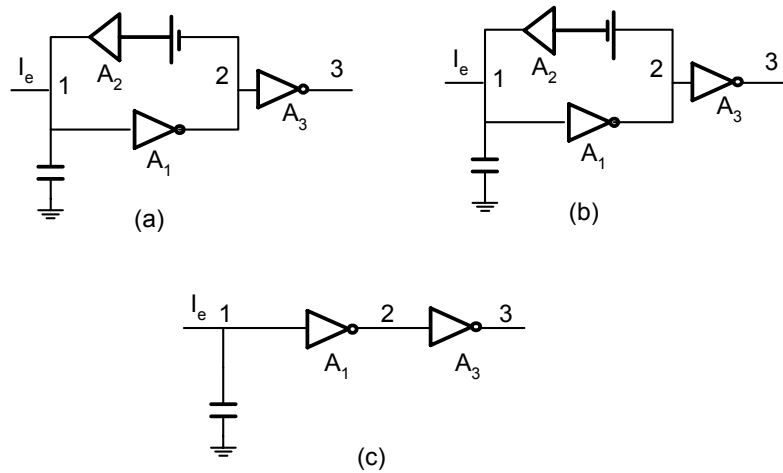


Figure III- 32 :(a) circuit équivalent pour un courant positif, (b) circuit équivalent pour un courant négatif, (c) circuit équivalent lorsque le courant change de signe.

Dans ce circuit, la largeur de la bande interdite est déterminée par la tension de seuil de M1 et M2, donc pour des temps de réponses plus rapides, nous aurons recours à une technologie présentant une faible tension V_{TS} .

III-4- Comparateur de courant à contre réaction positive en classe AB

Une amélioration de cette structure en classe AB est proposée dans la figure III-33. Elle est basée sur la polarisation de M1 et M2 en classe AB, avec des tensions grilles sources égales à V_{b1} et V_{b2} respectivement. Comme les amplitudes de V_{b1} et V_{b2} sont augmentées vers les valeurs des tension de seuil V_{t1} et V_{t2} , la largeur de la bande interdite de la fonction de transfert de l'amplificateur est réduite. Ceci engendre une diminution du temps de commutation des tensions V_1 et V_2 , et permet ainsi des temps de réponse plus rapides. Les valeurs optimums de V_{b1} et V_{b2} sont un compromis entre la réduction de la bande interdite (augmentant la rapidité) et l'obtention d'un signal suffisant en V_2 .

Puisque la valeur absolue de V_t n'est pas un paramètre bien déterminé dans les circuits intégrés, les tensions V_{b1} et V_{b2} devront être fixées en utilisant les tensions de seuil des transistors MOSFET (figure III-33).

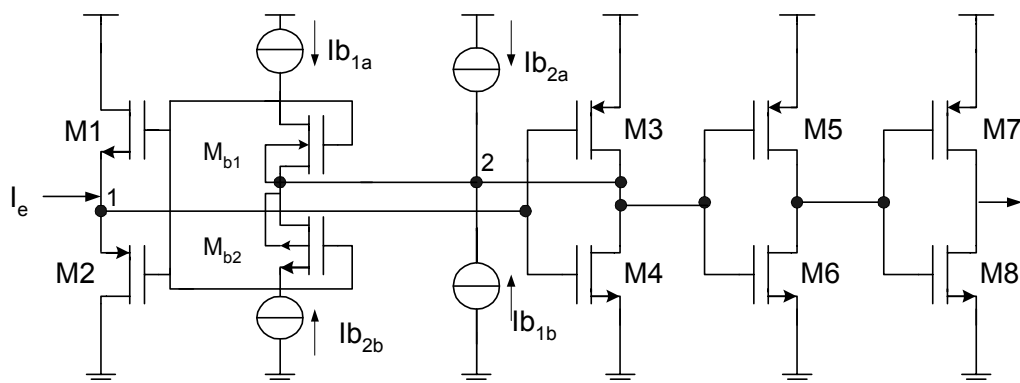


Figure III- 33 : Comparateur à contre réaction en classe AB.

Les transistors M_{b1} et M_{b2} fournissent les tensions V_{b1} et V_{b2} qui polarisent les transistors M1 et M2 puisque les tensions substrat source des transistors M_{b1} et M_{b2} sont moins grandes que celles des transistors M1 et M2. Les tensions de seuils sont aussi inférieures grâce à l'effet du substrat. Une bande interdite existe toujours dans la caractéristique de la fonction de transfert de l'amplificateur, elle peut être contrôlée par les courants de polarisation I_{b1a} et I_{b2a} . A cause de la différence entre les paramètres de transconductances et celle des tensions de seuils, pour les transistors NMOSFET et les PMOSFET, les courants de polarisation optimums sont différents pour M_{b1} et M_{b2} . I_{b1a} et I_{b1b} sont utilisés pour la polarisation de M_{b1} et I_{b2a} et I_{b2b} sont utilisées pour polariser M2. Idéalement, $I_{b1a}=I_{b1b}$ et $I_{b2a}=I_{b2b}$. Cependant le comparateur

peu tolérer une petite disparité puisque tout excès de courant de polarisation peut être fourni par la sortie de l'inverseur M3 et M4 .

Comme la variation de tension en 2 est réduite , M7 et M8 sont employés pour fournir un gain de tension supplémentaire. Cela résulte en une inversion de la sortie comparée au comparateur de la figure III-31. Un inverseur supplémentaire est inséré pour inverser le signal à la sortie du comparateur mais il aura un effet négligeable sur la vitesse du comparateur puisque la sortie est déjà saturée par l'alimentation .

L'inconvénient du comparateur de la figure III-33 par rapport au celui de la figure III-31 est l'augmentation de sa complexité et de sa consommation. Cependant, l'avantage consiste en une augmentation du rapport vitesse puissance pour des faibles courants.

Résultat de simulation :

Pour comparer les deux comparateurs à contre réaction polarisés en classe B et en classe AB, (figure III-31 et figure III-33), nous les avons simulés avec une entrée impulsionnelle en courant de largeur 50ns, d'amplitude $5\mu\text{A}$ et de période 200ns. Les dimensions des transistors NMOS et PMOS pour les deux structures sont respectivement 8/0.6 et 26/0.6 . La tension d'alimentation est de 3.3V et les courants optimaux de polarisation sont $I_{b_{1a}}=I_{b_{1b}}=3\mu\text{A}$ et $I_{b_{2a}}=I_{b_{2b}}=9\mu\text{A}$. Les différents résultats de simulations donnent les chronogrammes des tensions V_1 , V_2 et de la sortie V_s sont montrés dans les figures suivantes :

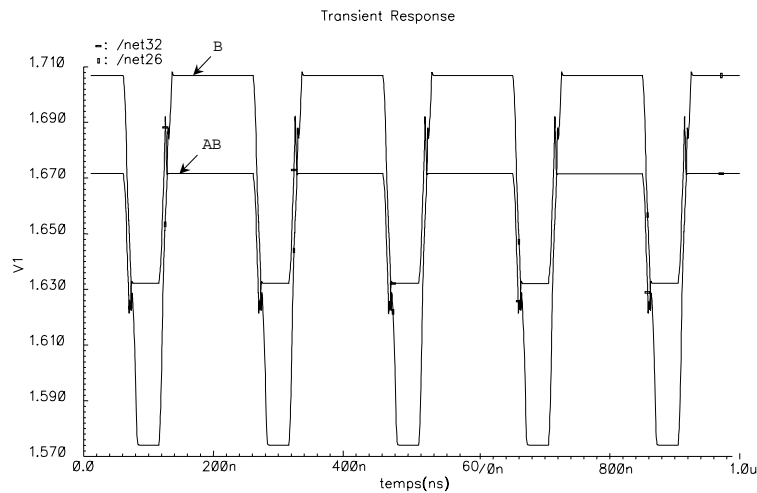


Figure III- 34 : Variation du potentiel de V_1 pour les deux structures B et AB.

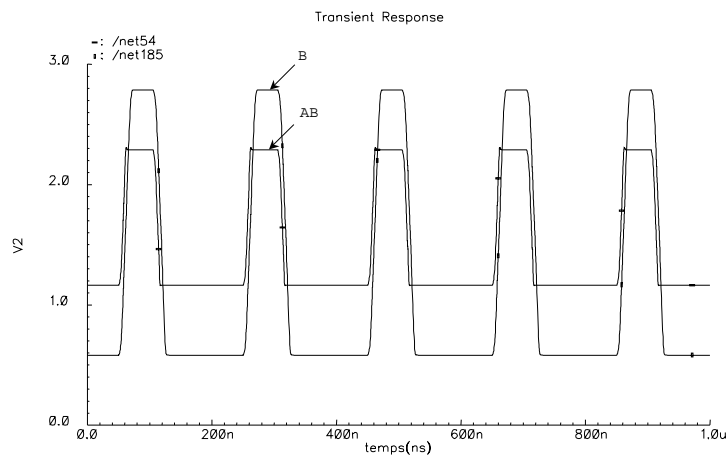


Figure III- 35 : Variation du potentiel de V_2 pour les deux structures B et AB.

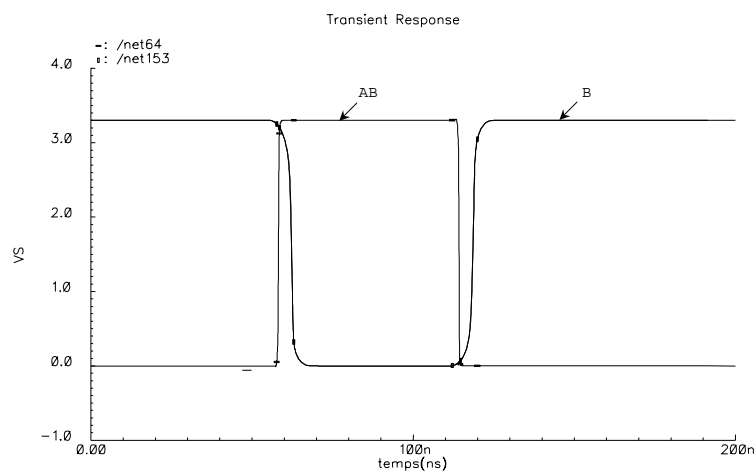


Figure III- 36 : Chronogrammes de la sortie des deux structures du comparateur (B, AB).

On note que les valeurs des tensions V_1 et V_2 sont plus faibles pour le comparateur de courant à contre réaction classe AB que celles du comparateur en classe B. Ce qui permet de réduire le temps de réponse et, par conséquent, d'améliorer la vitesse [Traf-92]. La figure III-37 montre le temps de réponse des deux comparateurs pour différentes valeurs du courant d'entrée.

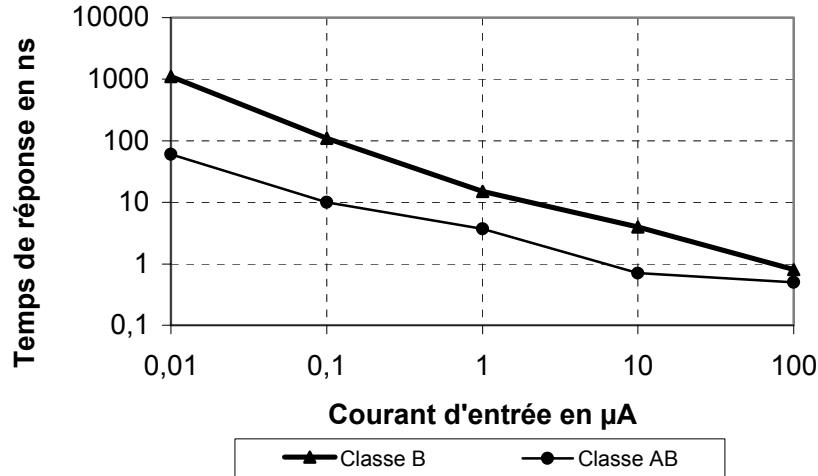


Figure III- 37 : Temps de réponse des deux comparateurs en fonction du courant d'entrée.

Le comparateur à contre réaction en classe AB a une vitesse plus rapide que celui du comparateur en classe B. L'inconvénient de cette structure est l'augmentation de la complexité du circuit et de la consommation. Par contre, le rapport de la vitesse sur la puissance est amélioré pour des entrées à courants faibles ce qui est notre cas. C'est donc, cette structure qui sera utilisée pour la conception du modulateur Sigma Delta.

IV- CONVERTISSEUR NUMERIQUE ANALOGIQUE

Le convertisseur numérique analogique 1 bit forme la boucle de réaction du modulateur Sigma Delta. Pour notre réalisation, nous avons utilisé deux convertisseurs numériques analogiques en mode différentiel avec les deux intégrateurs pseudo bilinéaires. Ce circuit est équivalent à une source de courant différentiel contrôlée par les sorties du comparateur.

$$V_s = 1 \Rightarrow I = +I_{ref} \quad \text{Eq III- 38}$$

$$V_s = 0 \Rightarrow I = -I_{ref} \quad \text{Eq III- 39}$$

Le type de la source de courant doit être choisi de façon similaire à celui de la structure de la cellule mémoire S²I. La figure III-38 montre le convertisseur numérique-analogique. La partie gauche de cette figure correspond à la commande des différents interrupteurs qui sont fermés ou ouverts selon la sortie du comparateur 'c'. La partie droite est le circuit CNA.

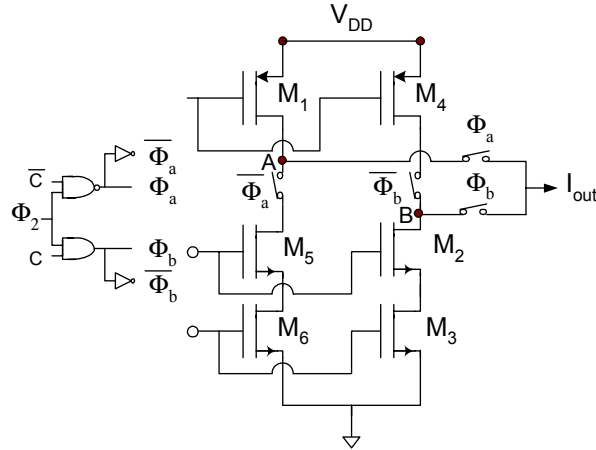


Figure III- 38 : Convertisseur numérique analogique 1bit.

V- GENERATION DES SIGAUX DE COMMANDES

Nous considérons ici le cas de deux cellules mémoires S²I mise en cascade, ce cas est suffisamment général pour que le principe exposé dans le schéma de la figure III-39 puisse être repris pour des circuits plus complexes, Dans notre structure, les interrupteurs S_{1a} et S_{2b} sont des transistors NMOS et les interrupteurs S_{1b} , S_{2b} , S_{3a} et S_{4a} sont des transistors PMOS.

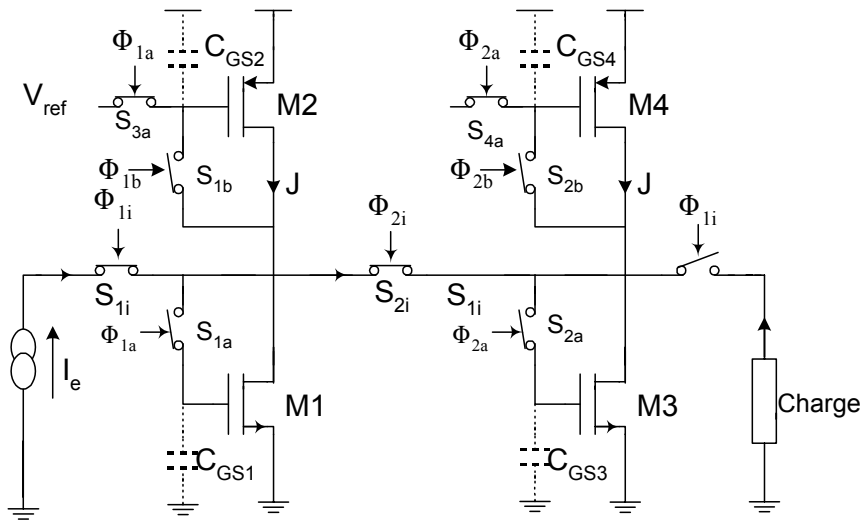


Figure III- 39 : La Cellule mémoire S²I mises en cascade.

Lorsque la première cellule mémoire S²I est en phase d'écriture , la deuxième cellule est en phase de lecture et vice-versa. Six signaux de commande Φ_{1i} , Φ_{1a} , Φ_{1b} , Φ_{2i} , Φ_{2a} , et Φ_{2b} sont nécessaires au fonctionnement de ce circuit.

Les interrupteurs S_{1i} et S_{2i} sont des interrupteurs de courant, ils permettent l'acquisition où la restitution du signal analogique dans les différentes branches du circuit. Ces signaux de commande doivent être tels qu'à tout moment les courants circulant dans les transistors

mémoires (considéré comme des sources idéales de courant) trouvent un chemin pour s'écouler. Pour y parvenir il faut que les signaux de commande Φ_{1i}, Φ_{2i} soient en opposition de phase tout en se chevauchant comme la montre la figure III-40.

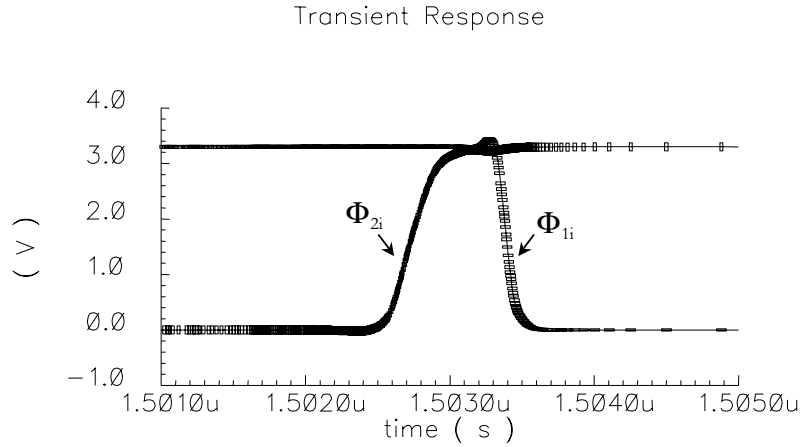


Figure III- 40 : Signaux Φ_{1i}, Φ_{2i} sur le front descendant de Φ_{1i}

Les interrupteurs S_{1a}, S_{1b}, S_{2a} et S_{2b} sont des interrupteurs de tension permettant de connecter les transistors mémoires M1, M2, M3 et M4 en diode durant les deux phases d'acquisitions. Leurs signaux de commandes sont illustrés à travers la figure III-41.

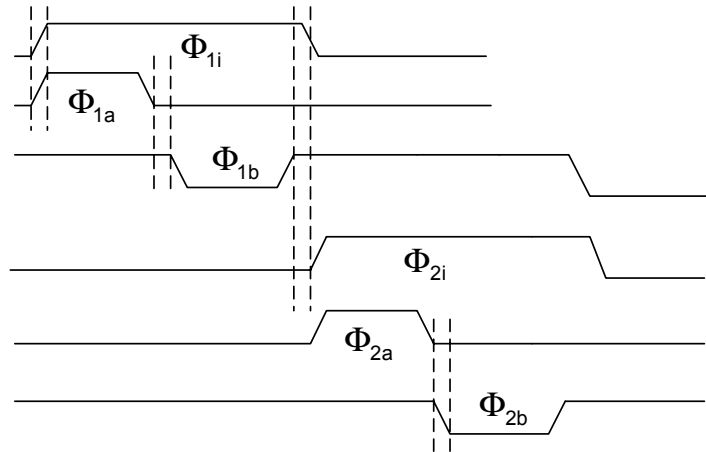


Figure III- 41 : Chronogramme des signaux de commande.

D'après ce chronogramme, on constate bien que les signaux de commande des deux phases Φ_{1a} et Φ_{1b} ne se recouvrent pas, ce qui permet de fixer la durée de chaque phase d'acquisition (grossière et fine).

Durant la première phase (Φ_{1a} et Φ_{2a}), les signaux de commandes des deux interrupteurs S_{1a} et S_{2a} doivent :

-Passer à l'état haut simultanément ou un peu avant que les signaux Φ_{1i} et Φ_{2i} ne passent à l'état haut afin d'assurer une bonne acquisition du courant d'entrée et que ce dernier ne soit pas dévié dans une branche d'impédance plus faible. La figure III-42 montre la simulation de la transition du signal de commande de Φ_{1a} et de la même manière le signal de commande Φ_{2a} .

-Passer à l'état bas avant les signaux Φ_{1b} et Φ_{2b} pour échantillonner le signal d'entrée durant la phase grossière. La figure III-43 montre la simulation de la transition du signal d'horloge Φ_{2a} sur son front descendant.

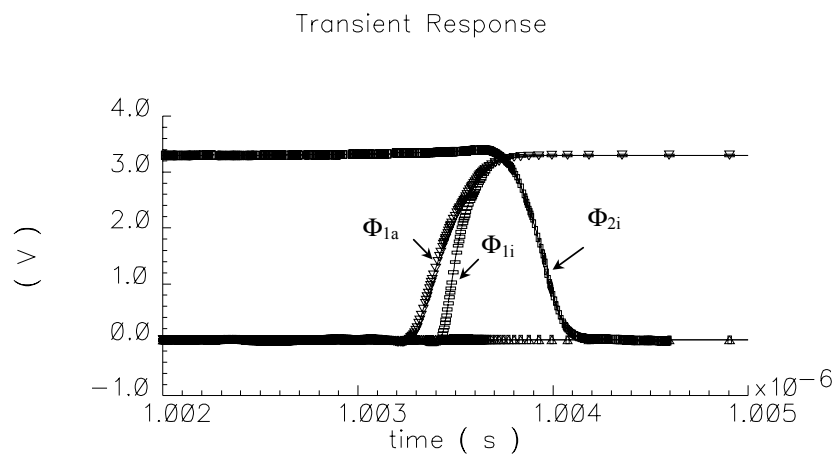


Figure III- 42 : Signaux Φ_{2i} , Φ_{1i} , Φ_{1a} sur le front descendant de Φ_{2i} .

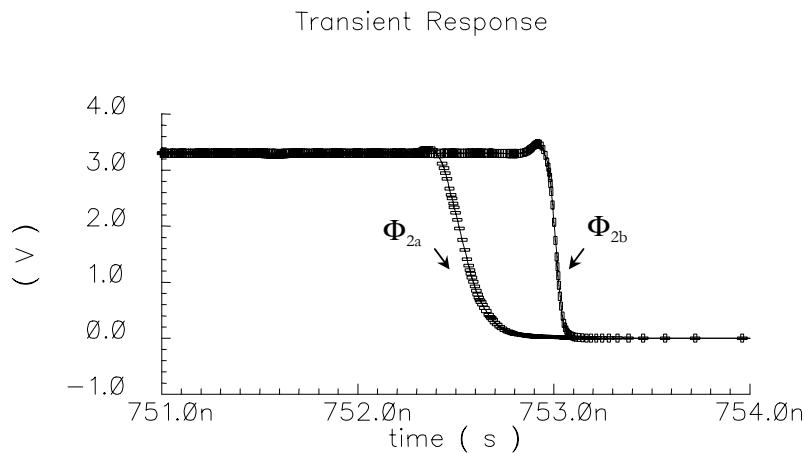


Figure III- 43 : Les Signaux Φ_{2a} , Φ_{2b} sur le front descendant de Φ_{2a} .

Durant la phase fine (Φ_{1b} et Φ_{2a}) les signaux de commandes des deux interrupteurs S_{1b} et S_{2b} doivent :

-Passer à l'état bas après les signaux de Φ_{1a} et Φ_{2a} afin d'assurer l'échantillonnage du signal durant la première phase d'acquisition comme l'illustre le résultat de simulation à la figure III-44.

Passer à l'état haut avant les signaux Φ_{1i} et Φ_{2i} pour échantillonner le courant de la deuxième phase d'acquisition. En effet cette transition doit être terminée avant la phase de restitution. La figure III-45 illustre le résultat de simulation.

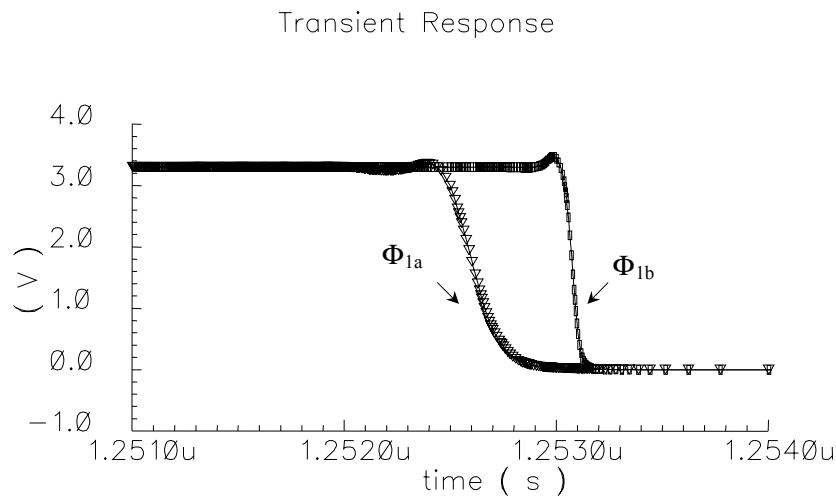


Figure III- 44 : Signaux Φ_{1a} , Φ_{1b} sur le front descendant de Φ_{1a} .

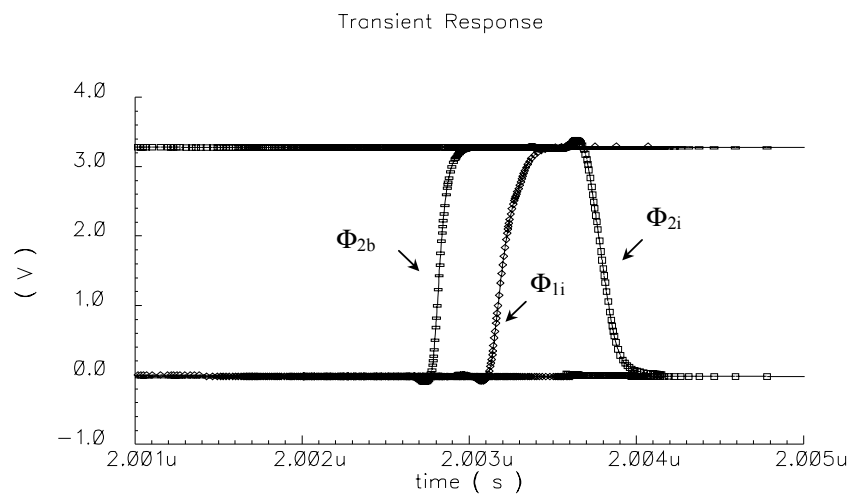


Figure III- 45 : Signaux Φ_{2b} , Φ_{2i} , Φ_{1i} sur le front descendant de Φ_{2i} .

VI- ARCHITECTURE DU MODULATEUR SIGMA DELTA

La figure III-46 montre le diagramme synoptique du modulateur sigma delta d'ordre 2 en mode courant [Tan-94]. Ce synoptique comporte deux intégrateurs S^2I pseudo bilinéaires. A la sortie de deuxième intégrateur, un retard est introduit (bascule D) pour assurer la stabilité du système. Ce retard est connecté à la sortie du quantificateur. La bascule est réalisée par des inverseurs et commandée par les mêmes signaux d'horloge qui commandent les deux intégrateurs. L'intégrateur, ainsi que les autres blocs sont réalisés dans la configuration cascode simple. Les deux convertisseurs numériques analogiques 1bit fournissent les courants différentiels de contre réaction pour le premier et le deuxième intégrateur.

$$I_{\text{mod}+} = I_{e+} + I_{s-} \quad \text{Eq III- 40}$$

$$I_{\text{mod}-} = I_{e-} + I_{s+} \quad \text{Eq III- 41}$$

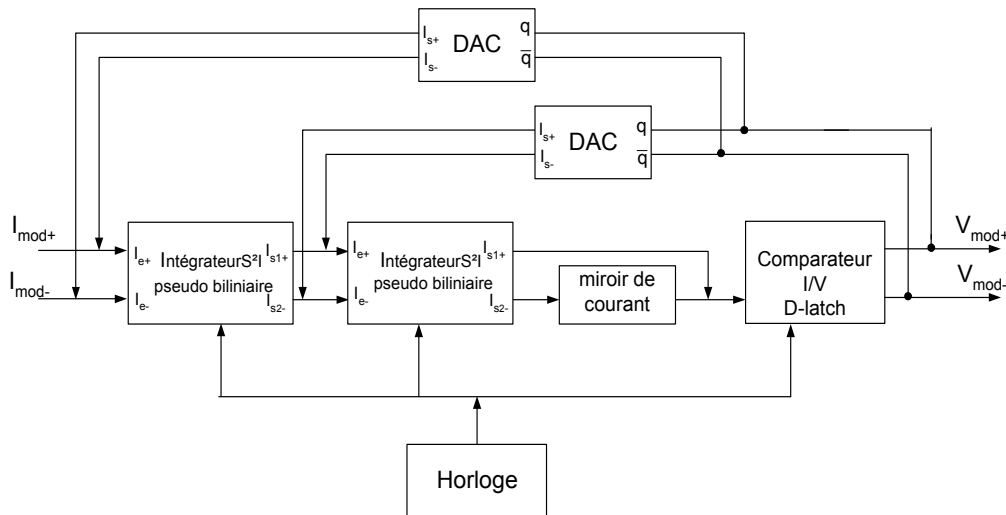
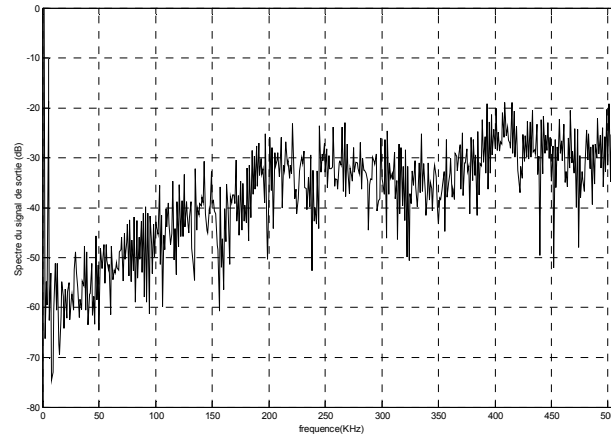


Figure III- 46 : Architecture du modulateur Sigma Delta en mode courant.

Cette architecture est simulée sous l'environnement CADENCE. La tension de polarisation est de 3.3V. Le courant de polarisation est égal à 120μA et les courants de référence sont égaux à 60μA correspondant à un facteur de modulation de 50% de la pleine échelle du signal d'entrée. La figure III-47 montre le spectre de sortie du modulateur $\Sigma\Delta S^2I$ pour un signal d'entrée de fréquence 4 kHz et d'amplitude égal à -10 dB de la pleine échelle. La fréquence de commutation est de 1.024 MHz. Les performances simulées correspondent à une résolution effective égale à 10 bits.

Figure III- 47 : Spectre de sortie du modulateur $\Sigma\Delta S^2I$.

VII-TEST DU MODULATEUR EXPERIMENTAL

VII-1- Le circuit modulateur $\Sigma\Delta$ du second ordre

L'intégration d'un convertisseur analogique numérique est délicate dans le sens où il effectue l'interface entre le monde des signaux analogiques et numériques. Sur le même substrat vont transiter des signaux numériques aux transitions rapides et bruyantes, ainsi que des signaux analogiques sensibles aux perturbations. La précision, obtenue en terme de nombre de bits, du modulateur dépend de l'intégration de la partie analogique pour un rapport signal sur bruit bien déterminé.

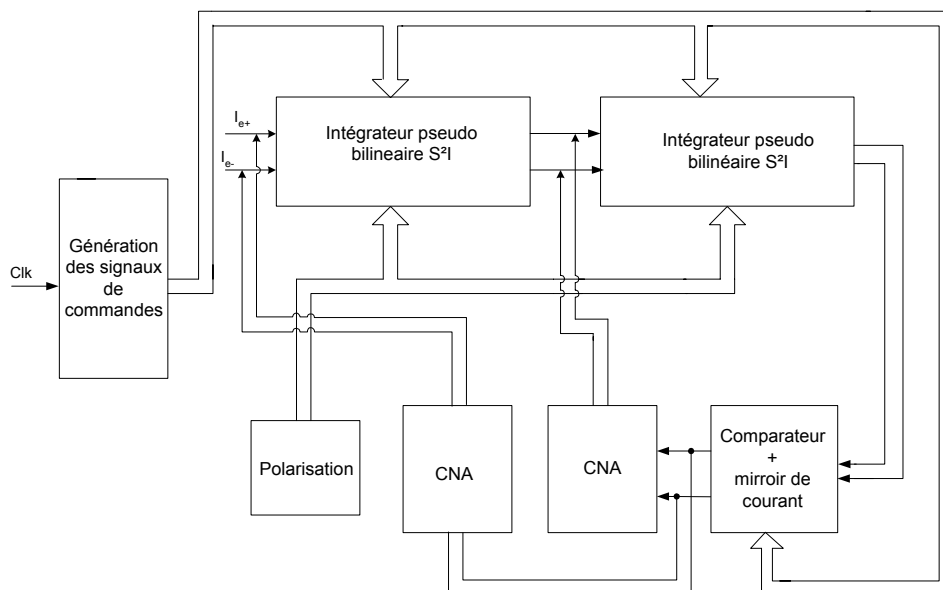


Figure III- 48 : Plan du layout du modulateur.

Nous avons donc porté une grande attention à la répartition des différentes parties du modulateur dans le layout. Nous avons respecté les règles suivantes :

- Une séparation nette des parties numériques et analogiques.
- Deux tensions d'alimentation séparées, une alimentation pour la partie analogique (vdda, gnda), et une autre pour la partie numérique (vdd, gnd).

Le routage des signaux analogiques ne croise pas le routage des signaux numériques. Le schéma de la figure III-48 donne le plan de répartition pour les différentes parties du modulateur. Le circuit générant les tensions de polarisations est placé à gauche et au-dessous des deux intégrateurs. La partie numérique de génération des signaux d'horloges est à l'extrême gauche. Le routage des signaux d'horloges est effectué au moyen d'un seul bus pour le modulateur. Ce bus ne traverse pas la partie analogique du circuit. Les signaux analogiques transitent par le côté droit du circuit et ne croisent pas le bus des horloges. Le circuit de génération des courants de références est à gauche du circuit et au-dessous des deux intégrateurs.

Le brochage du circuit est présenté dans la figure III-49. Ce circuit comporte 15 signaux d'entrée-sortie, dans un boîtier de type DIL16, comportant 16 plots.

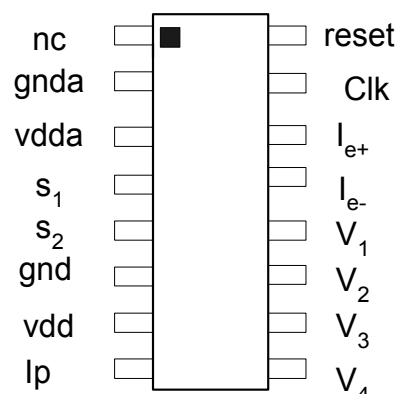


Figure III- 49 : Brochage du modulateur réalisé.

Le layout complet du circuit est présenté à la figure III-50. La taille du circuit est de 4mm², il est composé de 478 transistors. Sur cette vue globale du circuit, il est possible de distinguer les différentes parties du modulateur comme elles sont indiquées dans le plan de la figure III-48.

Afin de permettre le test du circuit, une carte d'évaluation compatible avec CanTest [Dal-96] a été réalisée. Dans ce qui suit, on présentera cette carte ainsi que la méthode de test du modulateur. Nous donnerons ensuite les principaux résultats et interprétations du test effectué.

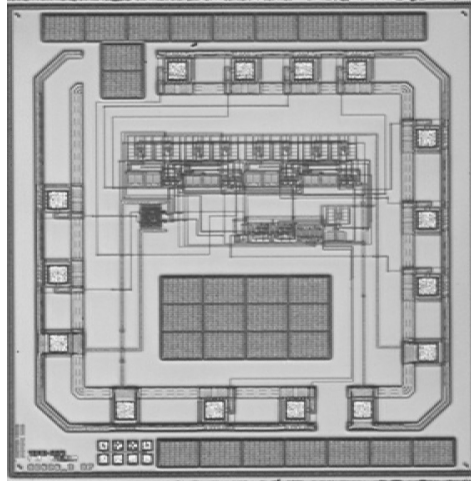


Figure III- 50 : Photo de la puce du modulateur Sigma Delta.

VII-2- Banc de test

Un banc de test a été spécialement développé pour le test du modulateur. La carte d'évaluation comprend le modulateur, un étage d'entrée de conversion tension courant, une bascule JK et un buffer à la sortie du modulateur (74Hc541). La conversion tension courant est réalisée à partir de deux amplificateurs opérationnels permettant la génération de deux signaux en opposition de phase qui attaquent deux amplificateurs de type (AD844) et qui sont caractérisés par une large bande (33Mhz) et un faible bruit (12pA/Hz). Ils génèrent à leur sortie T'Z deux courants proportionnels à la différence de potentiel aux bornes de R1 avec une précision de 14 bits.

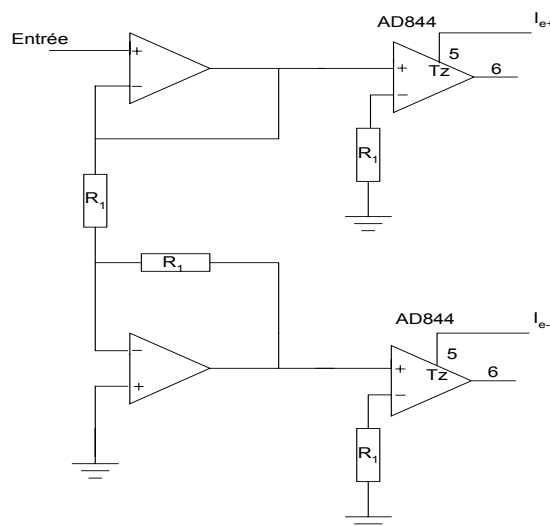


Figure III- 51 : Montage générant le signal différentiel.

Le système d'acquisition, le générateur d'horloge et la source de tension sont pilotés par un ordinateur de type macintosh. Les données numériques sont récupérées par le biais du bus GPIB. La recombinaison des sorties numériques ainsi que la transformée de Fourier rapide (FFT) du signal et le calcul du SNR sont effectuées au moyen du logiciel Can Test développé au sein du laboratoire IXL. Les spectres obtenus peuvent être sauvegardés dans un fichier de type ASCII. La figure III-52 montre le synoptique du banc de test.

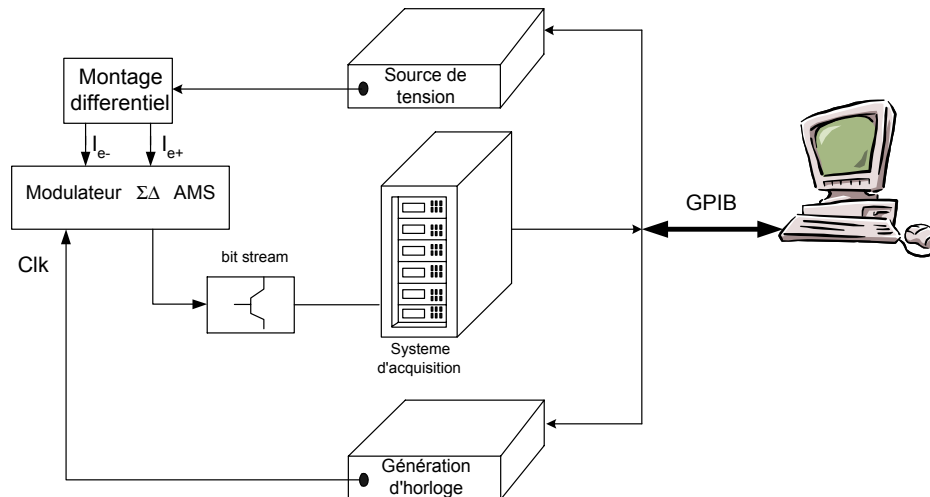


Figure III- 52 : Diagramme du test électrique.

VII-3- Caractérisation du modulateur

Le modulateur Sigma Delta d'ordre 2 a été implanté en utilisant la technologie $0.6\ \mu\text{m}$ à trois niveaux de métal. La photographie du modulateur est illustrée sur la figure III-50. Le modulateur occupe une surface égale à 4mm^2 , il consomme 2mA pour une tension de polarisation égale à 3.3V . Les premières mesures ont été faites sur un analyseur de spectre, ce qui a permis la visualisation du spectre du signal de sortie du modulateur et la vérification de son fonctionnement global ainsi que l'estimation de sa résolution. Dans une seconde étape le circuit est testé par le système montré à la figure III-52 avec CanTest, qui est un outil pour la caractérisation des convertisseurs analogiques-numériques. C'est un système performant pour l'acquisition des données issues du modulateur. Les caractéristiques du test sont récapitulées dans le tableau suivant :

Fréquence d'échantillonnage	1.024 MHz
Bande utile du signal d'entrée	8 kHz
Plein échelle du courant d'entrée	$60\ \mu\text{A}$
Fréquence du signal d'entrée	1 kHz
Amplitude du signal d'entrée	$40\ \mu\text{A}$

Tableau III - 7 : Caractéristiques des mesures.

La figure III-53 et la figure III-54 représentent le spectre mesuré à la sortie du modulateur dans la bande audio respectivement pour une entrée à -15dB et à -5 dB de la pleine échelle. La fréquence du signal d'entrée est de 1Khz. Le niveau du plancher du bruit est situé à -80dB. Les deux spectres mesurés montrent l'existence des raies harmoniques d'ordre 2, 3, 4 et 5 dues à la non linéarité de l'étage d'entrée différentiel qui assure la conversion tension courant.

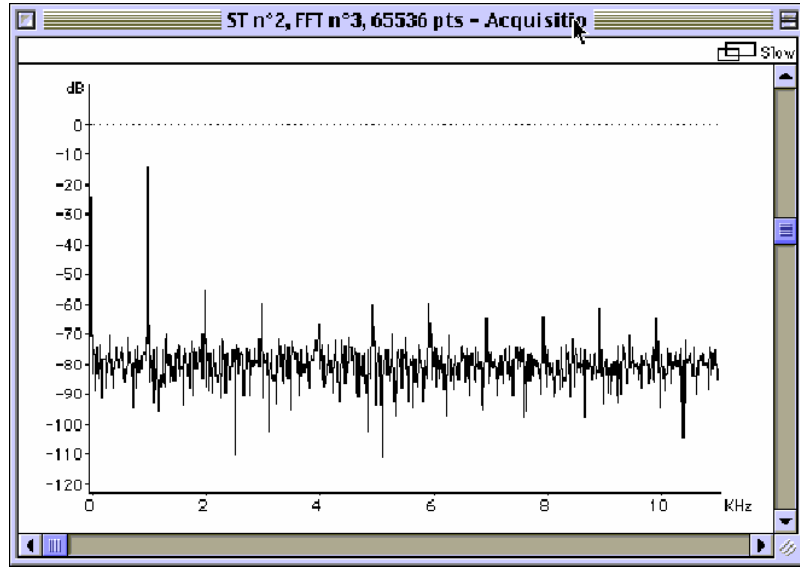


Figure III- 53 : Spectre mesuré dans la bande audio pour une entrée d'amplitude -15dB et de fréquence 1 kHz.

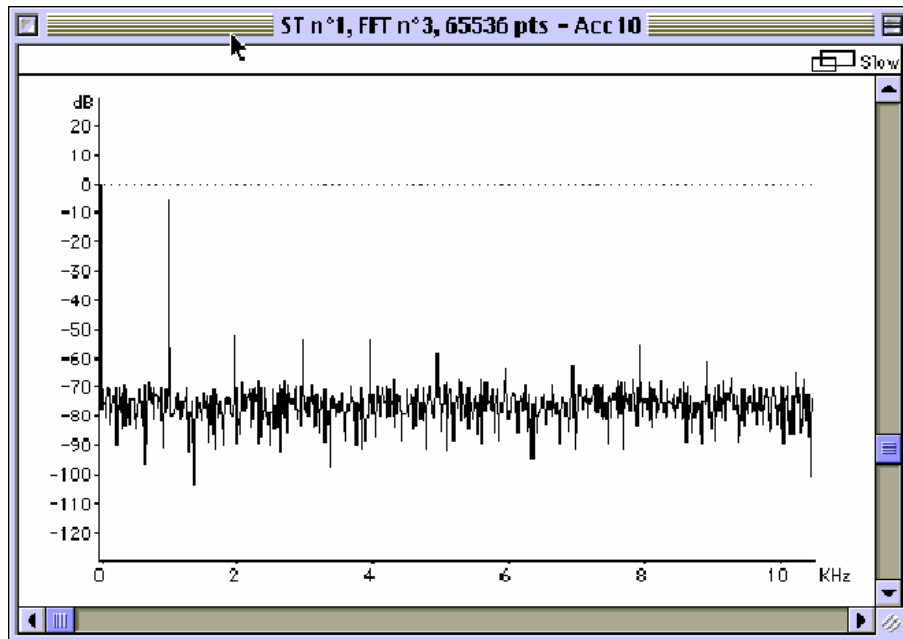


Figure III- 54 : Spectre mesuré dans la bande audio pour une entrée d'amplitude -5dB et de fréquence 1kHz.

La figure III-55 montre le spectre dans la bande audio pour une fréquence d'entrée de 3Khz et une entrée de -25dB de pleine échelle.

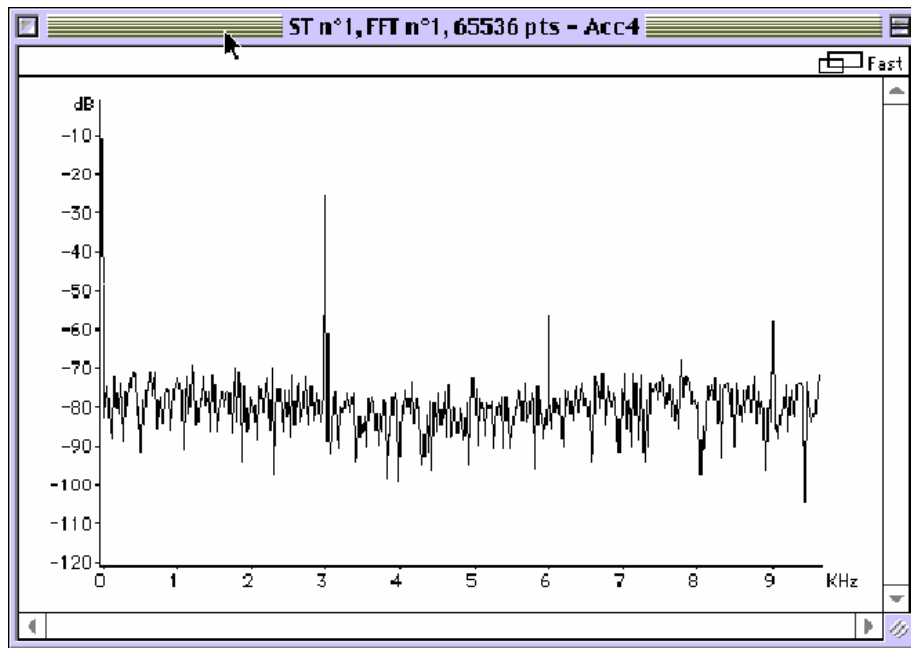


Figure III- 55 : Spectre mesuré dans la bande audio pour une entrée de -25 dB et de fréquence 3kHz.

La figure III-56 montre une bonne mise en forme du bruit de quantification qui est rejeté vers les hautes fréquences.

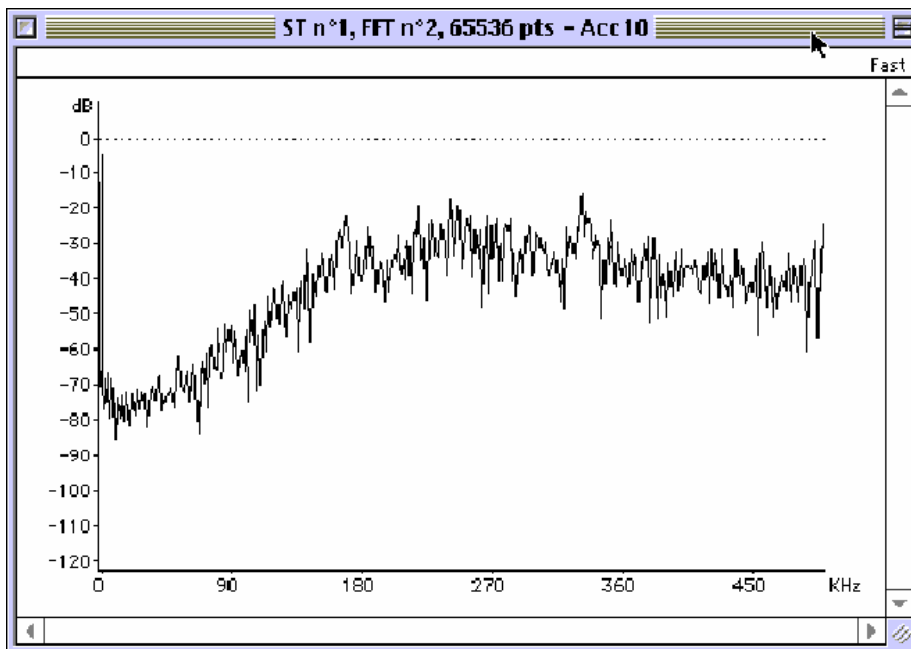


Figure III- 56 : Spectre mesuré du bitstream avec mise en forme du bruit.

VII-4- La courbe SNR

Des mesures ont été réalisées pour différentes valeurs d'amplitude du signal d'entrée. La figure III-57 représente le rapport de la puissance du signal d'entrée à la puissance de bruit dans la bande audio, en fonction de l'amplitude en dB du signal d'entrée. On constate que cette courbe est linéaire pour de faibles amplitudes, puis à partir des amplitudes supérieures à -3dB de la pleine échelle, elle chute. Cela est dû à la saturation du deuxième intégrateur.

Pour une amplitude d'entrée de -57dB le SNR est nul, cette valeur donne une idée de la résolution maximale du modulateur. Au-dessous de cette valeur, le modulateur reste insensible au signal. Pour une entrée de -3dB, le rapport signal sur bruit atteint sa valeur maximale. La résolution maximale, qui est appelée tout simplement la résolution du modulateur Sigma Delta, elle est déterminée en faisant la différence entre ces deux niveaux d'entrée [Geo-00]. Dans notre cas, elle est égale à 54dB, ce qui correspond à une résolution supérieure à 8bits.

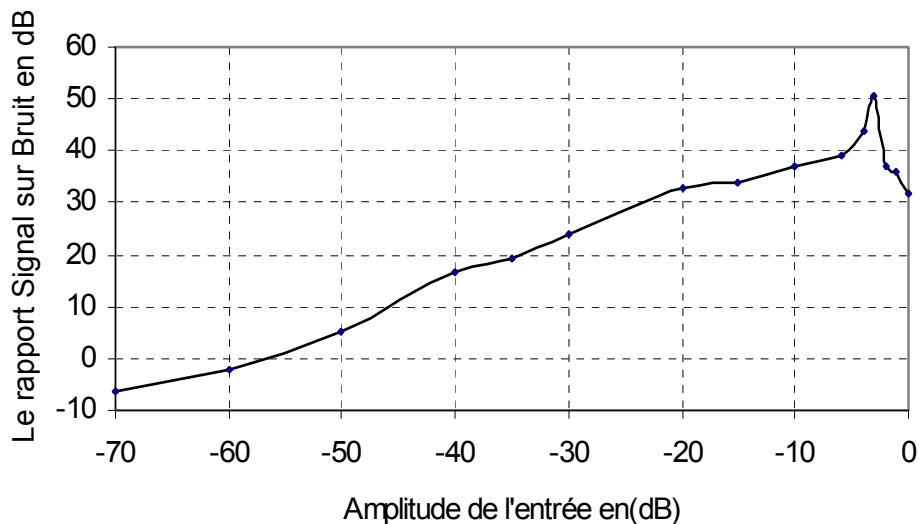


Figure III- 57 : Le rapport signal sur bruit du modulateur.

Le tableau suivant résume les caractéristiques mesurées du modulateur Sigma Delta S²I

Technologies	AMS 0.6 μ m CMOS
Surface de silicium occupée	4mm ²
Tension d'alimentation	3.3V
Fréquence d'échantillonnage	1.024MHz
Rapport de sur échantillonnage OSR	64
Bande du signal	8kHz
Résolution	> 8 bits

Tableau III - 8 : Performances mesurées du modulateur Sigma Delta S²I.

CONCLUSION

Au début de ce chapitre, on a traité de la modélisation et de la simulation des éléments du modulateur Sigma Delta en courant commuté à base de deux cellules mémoires SI et S²I. Une amélioration des performances du modulateur Sigma Delta S²I par rapport à celui du modulateur Sigma Delta SI est constatée. Ensuite nous avons présenté les différents blocs qui constituent le modulateur $\Sigma\Delta$ S²I en mode courant. En effet, l'intégrateur est le bloc principal du modulateur et nous avons choisi la structure différentielle pour la réalisation de l'intégrateur S²I en classe A. Ceci pour deux raisons : d'une part, l'utilisation des intégrateurs symétriques S²I permet une exploitation continue du signal analogique et le gain en vitesse d'échantillonnage procure une meilleure exploitation du signal, d'autre part, l'utilisation de la technique S²I permet de compenser les différentes anomalies que présente la technique SI, telle que le rapport des conductances d'entrée/sortie et principalement l'effet d'injection de charge. Quant au problème du temps d'établissement, il n'a pas été traité car notre application est limitée aux fréquences basses de la bande audio, ne nécessitant pas des fréquences d'échantillonnage élevées. Par contre, concernant le comparateur de courant, on a adopté la structure en contre réaction classe AB car celle-ci permet l'augmentation du rapport vitesse/puissance pour des faibles courants. Ensuite nous avons conçu le modulateur Sigma Delta S²I en technologie CMOS 0.6 μ m à triple niveaux de métal. Les simulations sur modèle fonctionnel (MATLAB) donnent une résolution théorique de 13 bits pour l'architecture d'ordre 2 que nous avons choisie pour le modulateur. Les simulations du schéma électrique (CADENCE) choisit laissent espérer 10 bits de résolution, mais malgré les précautions prises au niveau du layout la résolution expérimentale se situe autour de 8 bits. Cette contre performance peut s'expliquer par les caractéristiques de l'étage d'adaptation tension courant. Le bruit est conforme aux prévisions mais la distorsion harmonique est importante.

Simulation et Conception du filtre décimateur

INTRODUCTION

Dans une chaîne de conversion $\Sigma\Delta$, le modulateur $\Sigma\Delta$ convertit le signal d'entrée sur un faible nombre de bits avec un débit élevé, ce qui permet une grande résolution, non pas en amplitude, mais en temps. Le rôle du filtre décimateur est de transcrire ce signal sur un grand nombre de bits et de le ramener à la fréquence de Nyquist. Ainsi, les opérateurs numériques travailleront à vitesse optimale. En fait, si le signal est sur-échantillonné d'un facteur M ($F_e = M.f_N$), le décimateur délivre un résultat à la fréquence f_N correspondant à une moyenne de M échantillons d'entrée. Les paragraphes suivants illustrent le principe de la décimation puis présentent les techniques de filtrage associées ainsi que la chaîne de décimation complète.

I-PRINCIPE DE LA DECIMATION

Le signal fourni par le modulateur $\Sigma\Delta$ étant sur-échantillonné, la période du signal à l'entrée comportera beaucoup d'échantillons. Réduire sa fréquence d'échantillonnage se traduira par une réduction du nombre d'échantillons qui la compose.

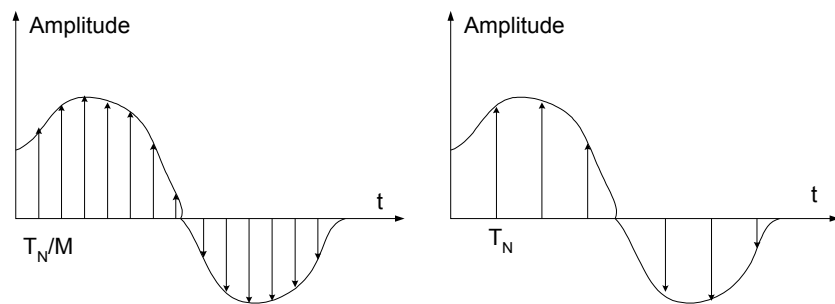


Figure IV- 1 : Représentation temporelle d'un signal échantillonné à $M*f_N$ (a) et à f_N (b).

Dans le domaine fréquentiel, l'échantillonnage entraîne l'apparition de bandes images situées aux fréquences multiples de la fréquence d'échantillonnage. Le sous-échantillonnage d'un signal implique la présence de spectres supplémentaires aux fréquences multiples de f_N .

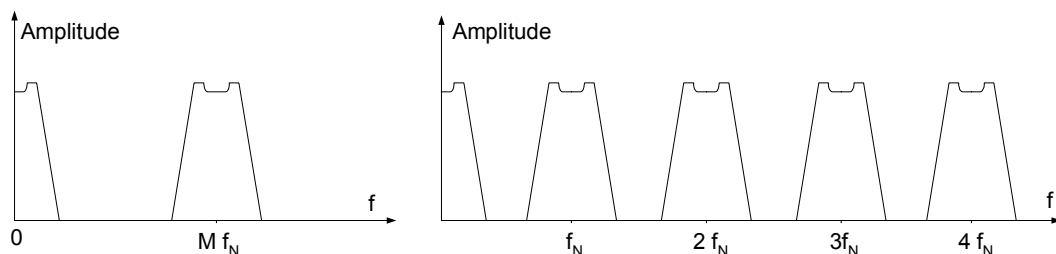


Figure IV- 2 : Représentation fréquentielle d'un signal échantillonné à $M*f_N$ (a) et à f_N (b).

Afin de prévenir de toute dégradation du signal sous-échantillonné, le spectre du signal à l'entrée du décimateur ne doit comporter aucun signal parasite susceptible de se replier avec le

signal utile. Or, le spectre de sortie d'un modulateur $\Sigma\Delta$ se compose du signal utile entouré du bruit de quantification. En sous-échantillonnant directement ce signal, le bruit de quantification se replierait sur le signal utile (ou l'inverse) et toute l'information serait perdue. Le décimateur se compose donc d'un filtre numérique chargé de supprimer le bruit hors-bande afin de ne pas dégrader le signal utile lors de sous-échantillonnage.

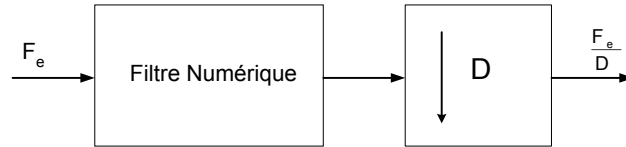


Figure IV- 3 : Représentation du décimateur.

Les caractéristiques et le gabarit du filtre vont dépendre du modulateur $\Sigma\Delta$ (passe-bas ou passe bande, de l'ordre du modulateur et du nombre de bits du quantificateur).

Dans notre application, il s'agit d'un modulateur Sigma Delta d'ordre 2 passe-bas dans la bande audio, qui a été détaillé au chapitre III. Les spécifications du filtre décimateur sont données dans la figure IV-4.

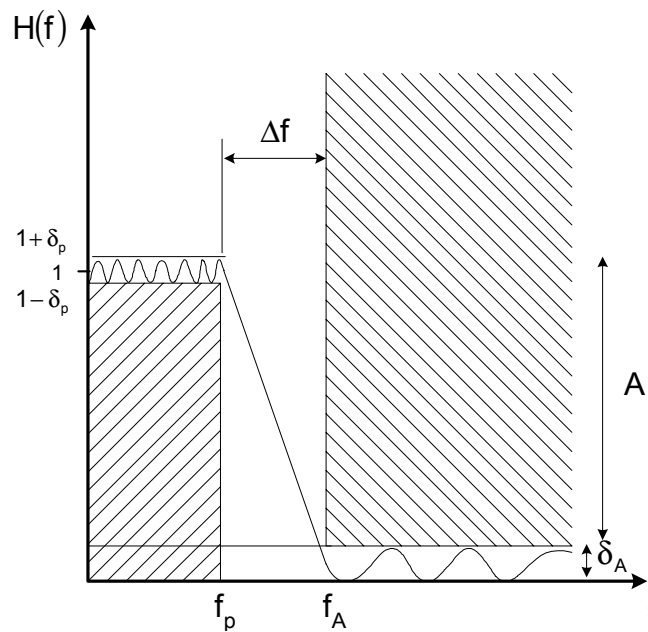


Figure IV- 4 : Spécifications du filtre décimateur.

Amplitude dans la bande atténuée : $A = 80 \text{ dB}$

Ondulation de la bande passante : $\delta_p < 0.1 \text{ dB}$

Fréquence limite de la bande passante : $f_p = 8 \text{ kHz}$ ($f_p = 0.5$ par rapport à 16 kHz)

Fréquence de coupure : $f_A = 9,6 \text{ kHz}$ ($f_A = 0.6$ par rapport à 16 kHz)

Décimation : $D = 64$

Fréquence d'échantillonnage : $F_e = 1.024 \text{ MHz}$

II- STRUCTURES DE DECIMATION

Dans une première étape, quelques structures générales à plusieurs étages sont présentées. Les architectures cascadiées possibles pour la conception du filtre sont divisées en deux groupes, les premières sont des structures à deux étages, les secondes sont des structures à trois étages, le signal est sous-échantillonné après chaque étage. Nous pouvons déterminer l'ordre des filtres de chaque étage en ne considérant que des structures basiques du type FIR et en calculant l'ordre du filtre pour différentes spécifications avec la relation suivante [Pro-96]:

$$N_i = \frac{-13 - 20 \log_{10} \sqrt{\delta_{p,i} \cdot \delta_{A,i}}}{14,6 \times \Delta f_i} + 1 \text{ où } \Delta f_i = \frac{f_{A,i} + f_{p,i}}{F_{e,i}} \quad \text{Eq IV- 1}$$

II-1- Décimation en deux étages

En se reportant à l'équation suivante :

$$\Delta f = \frac{f_A + f_p}{F_e} \quad \text{Eq IV- 2}$$

On constate que Δf dépend fortement de la fréquence d'échantillonnage à l'entrée d'un étage, d'où l'intérêt d'une décimation sur plusieurs étages. Un exemple de la structure à deux étages est illustré par la figure IV-5 ; cette structure montre la présence d'une fréquence d'échantillonnage intermédiaire de 128kHz.

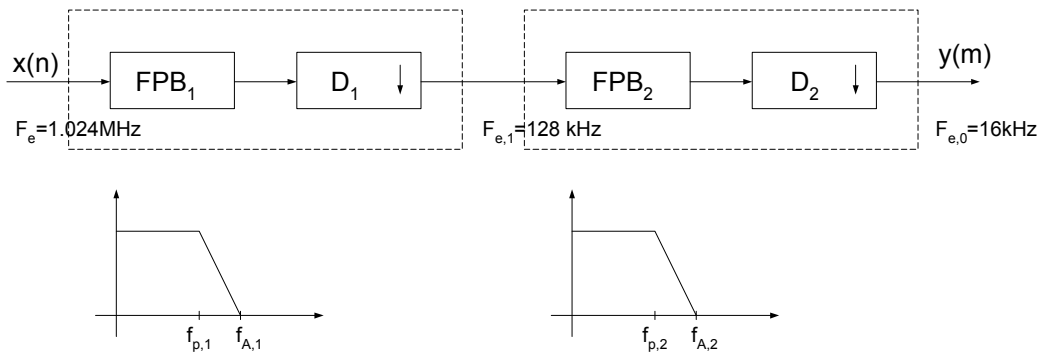


Figure IV- 5 : Schéma de décimation en deux étages.

Le tableau IV-1 expose les différents ordres des filtres pour une structure cascadiée en deux étages. Tous les cas possibles sont inscrits en supposant que les taux de décimations désirés sont des puissances de deux. En conclusion, le choix optimal pour le filtre, dont le nombre de coefficients est le plus petit possible, peut être obtenu en exécutant la décimation en deux pas similaires de 8.

Etage	D_i	$f_{p,i}$ [kHz]	$f_{A,i}$ [kHz]	F_{ei} [kHz]	Δf_i	N_i
1	32	8	16	1024	0.0078125	764
2	2	8	9.6	16	0.1	61
1	2	8	512	1024	0.4921875	14
2	32	8	9.6	512	0.003125	1908
1	16	8	32	1024	0.0234375	256
2	4	8	9.6	32	0.05	121
1	4	8	128	1024	0.1171875	52
2	16	8	9.6	256	0.00625	955
1	8	8	64	1024	0.0546875	110
2	8	8	9.6	64	0.025	240

Tableau IV- 1 : Paramètres de la structure à deux étages.

II-2- Décimation en trois étages

Comme il a déjà été mentionné, Δf dépend beaucoup de la fréquence de l'échantillonnage à l'entrée de chaque étage. Dans la structure à trois étages, deux fréquences d'échantillonnages intermédiaires de 64 kHz et 32 kHz apparaissent. La figure IV-6 montre le processus de la décimation en trois étages. Grâce à un taux de décimation relativement bas (64), seule la configuration 16.2.2 est suggérée.

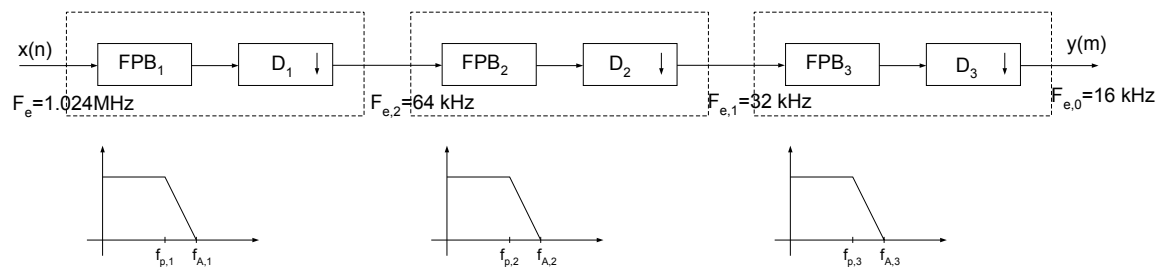


Figure IV- 6 : Schéma de décimation en trois étages.

Le tableau IV-2 montre les différents ordres des filtres pour une structure cascadée en trois étages en ne considérant que des structures FIR.

ETAGE	D_i	$f_{p,i}$ [kHz]	$f_{A,i}$ [kHz]	F_{ei} [kHz]	Δf_i	N_i
1	16	8	64	1024	0.0703125	85
2	2	8	32	64	0.375	17
3	2	8	9.6	32	0.05	121

Tableau IV- 2 : Paramètres de la structure à trois étages.

On constate que le nombre de coefficients est toujours élevé, il faudra donc trouver une autre solution.

III- ETUDE COMPARATIVE ENTRE LES DIFFERENTES REALISATIONS DU PREMIER ETAGE

Les filtres sinus cardinaux, à plusieurs étages, présentent beaucoup d'avantages pour la réalisation d'un filtre décimateur avec une bande de transition étroite. La réalisation de tels filtres peut être faite en utilisant uniquement des additionneurs et des unités de retards. L'objectif principal de ce paragraphe consiste à comparer les différents filtres sinus cardinaux à plusieurs étages avec les filtres FIR et faire une étude comparative entre les trois réalisations possibles du filtre sinus cardinal [Reb-00]. Ces configurations sont respectivement, le filtre sinus cardinal conventionnel, le sinus cardinal modifié et le sinus cardinal aiguisé (Sharpened).

III-1- Le filtre sinus cardinal

Dans le processus de conception d'un filtre décimateur, on doit porter une grande attention au problème du repliement spectral. Les limites des bandes repliées f_r , données par Eq IV-3, doivent être suffisamment atténuées. Concernant notre application, l'atténuation minimale demandée dans la bande atténuée est de $A=80\text{dB}$.

$$f_r = \frac{kF_e}{D} \pm f_p \quad \text{Eq IV- 3}$$

Pour éliminer le bruit de repliement du modulateur $\Sigma\Delta$, [Cand-92], l'ordre du filtre sinc devrait être au moins égal à l'ordre du modulateur plus 1 (condition de Candy). Dans le cas d'un modulateur du second ordre, un filtre sinc de troisième ordre est exigé pour accomplir une rejection du repliement suffisante avec un taux de décimation égal à 16 et une bande passante de 8kHz. En fait, il s'agit d'une première décimation assez grossière.

Le cas le plus critique correspond au premier lobe ($k=1$). Pour réduire les exigences, au niveau de l'implantation, un taux de décimation maximal de 16 a été choisi pour toutes les configurations qui vont suivre. Le filtre sinus cardinal doit réaliser une rejection de bruit assez importante dans la bande de repliement. Ayant une bande passante de 8kHz, le pire cas pour le repliement peut se produire à la pulsation normalisée suivante :

$$\Omega_r = \frac{2\pi}{D} - \frac{2\pi f_p}{F_e} \quad \text{Eq IV- 4}$$

Le tableau IV-3 liste le rejet minimum du repliement pour la bande passante spécifiée. Dans une structure simple du filtre sinc, le lobe gauche du premier pole ($k=1$) détermine la rejection maximale du bruit réalisable. Les résultats inscrits dans le tableau IV-3 sont obtenus en

appliquant l'équation (II-105) pour un filtre sinc cascadié réalisant une décimation D, où A désigne la rejection maximale du bruit et δ_p la chute dans la bande passante.

$$H(z) = \left[\frac{1}{D} \frac{1-z^{-D}}{1-z^{-1}} \right]^K \quad \text{Eq IV- 5}$$

K	A [dB] D = 4	A [dB] D = 8	A [dB] D = 16	δ_p [dB] D = 4	δ_p [dB] D = 8	δ_p [dB] D = 16
1	23	17	10	0.05	0.22	0.91
2	46	34	21	0.1	0.44	1.82
3	68	51	31	0.16	0.66	2.73
4	91	68	42	0.21	0.88	3.63
5	114	85	52	0.26	1.10	4.54
6	137	102	63	0.31	1.33	5.45
7	159	119	73	0.37	1.55	6.36
8	182	136	83	0.42	1.77	7.27
Ω_r	0.46875π	0.21875π	0.09375π	0.03125π	0.03125π	0.03125π

Tableau IV- 3 : Atténuation maximale du bruit et chute dans la bande passante d'un sinc conventionnel.

D'après ce tableau, on remarque qu'en augmentant le facteur de décimation, l'ordre du filtre augmente pour atteindre une réjection maximale du bruit. En effet, si on considère la limite à 80 dB, il faut K=4 correspondant à 91 dB pour D=4 et K=8 correspondant à 83 dB pour D=16. Dans le cas d'un sinus cardinal, il faut un filtre d'ordre 8 et un facteur de décimation D=16 pour satisfaire à nos objectifs visés.

III-2- Le filtre sinus cardinal modifié

Une autre architecture consiste à utiliser des sinus cardinaux avec des taux de décimation différents de D dans le premier étage de la structure cascadiée. Nous obtenons, par conséquent, un zéro supplémentaire entre $[0 ; 1/D]$ en remplaçant le filtre sinc réalisant une décimation de D par un autre filtre sinc réalisant une décimation (D+m). La fonction de transfert pour le sinc modifié est :

$$H(z) = a_s \cdot \frac{(1-z^{-D})^{K-1} \cdot (1-z^{-(D+m)})}{(1-z^{-1})^K} \quad \text{Eq IV- 6}$$

où a_s est le facteur de normalisation, qui dépend essentiellement des spécifications de la conception pour trouver l'architecture cascadiée la plus convenable.

K	A _s [dB] 4/3 D = 4	A _s [dB] 8/9 D = 8	A _s [dB] 16/22 D = 16	δ _p [dB] 4/3 D = 4	δ _p [dB] 8/9 D = 8	δ _p [dB] 16/22 D = 16
1	30.6	33.5	31.3	0.078	0.490	2.6
2	53.2	52.6	46.1	0.130	0.705	3.49
3	75.9	71.8	58.4	0.181	0.921	4.37
4	98.5	90.9	70	0.232	1.137	5.26
5	121.1	110	81.3	0.282	1.352	6.14

Tableau IV- 4 : Atténuation maximale du bruit et chute dans la bande passante d'un sinc modifié.

le tableau IV-4 liste le taux de rejection du bruit en dB qu'on est capable d'atteindre avec la structure du filtre sinc modifié. Les résultats sont meilleurs que ceux accomplis par la structure conventionnelle.

III-3- Le filtre sinus cardinal « sharpened » ou rectangularisé

Le filtre sharpened sinc a de meilleures propriétés au niveau de la rejection du bruit et de l'ondulation dans la bande passante. Pour éviter le repliement dans la bande utile, il faut que le filtre assure une atténuation de 80 dB hors bande. Ce cahier de charge est rempli en utilisant un filtre sharpened de 3^{ième} ordre réalisant une décimation par 16. La fonction de transfert totale du sinus cardinale aiguisé est donnée par :

$$H_{\text{sh}}(z) = 3 \left[\frac{11-z^D}{D(1-z^{-1})} \right]^{-2K} - 2 \left[\frac{11-z^D}{D(1-z^{-1})} \right]^{-3K} \quad \text{Eq IV- 7}$$

Le tableau IV-5 illustre les performances du filtre sharpened du point de vue de l'atténuation du bruit et de la chute dans la bande passante. En comparant ces résultats à ceux d'auparavant, nous constatons que la rejection voulue du bruit peut être accomplie avec un ordre du filtre plus petit. Les résultats dans tableau IV-5 sont obtenus en évaluant l'équation (Eq IV-7). Mais, le fait d'avoir un ordre moins élevé n'implique pas une réalisation optimale, puisque cette architecture est très complexe et elle consomme beaucoup plus de silicium.

K	A [dB] D = 4	A [dB] D = 8	A [dB] D = 16	δ _p [dB] D = 4	δ _p [dB] D = 8	δ _p [dB] D = 16
1	36.4	25.2	13.3	0.00093	0.01617	0.243
2	81.6	58.4	32.7	0.00371	0.06220	0.852
3	127.1	92.2	53.1	0.00828	0.13478	1.709
4	172.7	126.1	73.9	0.01459	0.23115	2.743
5	218.2	160	94.7	0.02259	0.34892	3.911
Ω _r	0.46875π	0.21875π	0.09375π	0.03125π	0.03125π	0.03125π

Tableau IV- 5 : Atténuation maximale du bruit et chute dans la bande passante du sharpened.

IV- STRUCTURES PROPOSEES POUR LA REALISATION DU FILTRE DE DECIMATION

Dans ce paragraphe nous proposons une étude comparative des différentes structures pouvant satisfaire aux objectifs de notre application.

IV-1- La structure 1 : La cascade des deux filtres sinus cardinaux

La première topologie considérée est la mise en cascade de deux filtres sinc, l'un d'ordre 5 pour assurer une atténuation de 80dB et l'autre d'ordre 3 pour satisfaire la condition de Candy ayant chacun un facteur de décimation égale à 8 [Bou-01-2]. C'est la réalisation la plus simple du filtre décimateur totale basée sur les filtres à moyenne glissante. Ses propriétés générales sont décrites dans le deuxième chapitre et sa fonction de transfert est :

$$H(z) = \left[\frac{1 - z^{-8}}{8(1 - z^{-1})} \right]^5 \cdot \left[\frac{1 - z^{-8}}{8(1 - z^{-1})} \right]^3 \quad \text{Eq IV- 8}$$

Chaque étage de la structure est suivi d'un décimateur qui sous-échantillonne le signal par 8. La figure IV-7 illustre le processus de la décimation. Une autre alternative consisterait à utiliser des sinus cardinaux modifiés pour améliorer la réjection du bruit. Des exemples pour cette structure modifiée sont présentés dans [Shu-84]. Mais, les deux architectures, conventionnelle ou modifiée, exigent le même ordre pour accomplir une atténuation de 80 dB. Par conséquent, le filtre sinc conventionnel est préféré.

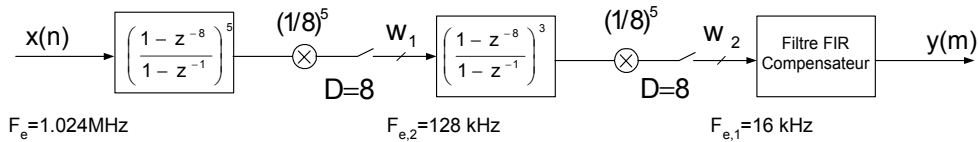


Figure IV- 7 : Synoptique du filtre sinc suivi d'un FIR compensateur.

La réponse impulsionnelle est récursivement exécutée par chaque étage pour réaliser une décimation par 8, elle est donnée par :

$$y(n) = y(n-1) + x(n) - x(n-8) \quad \text{Eq IV- 9}$$

Dans [Bar-99][Rob-86], une architecture du filtre sinc à plusieurs étages est réalisée avec des propriétés semblables. La figure IV-7 révèle, que la partie IIR aussi bien que la partie FIR du filtre sinc fonctionne à des fréquences d'échantillonnages relativement élevées (1.024 MHz et 128kHz). Un registre de décalage de dimension D_i est exigé pour chaque étage, sa largeur augmente en fonction de la longueur du mot de sortie w_{i-1} de l'étage précédent. Les figures IV-8 et IV-9 représentent les réponses en fréquences avant et après la décimation du premier étage. Toutes les réponses en fréquences sont normalisées par rapport à $F_e/2$.

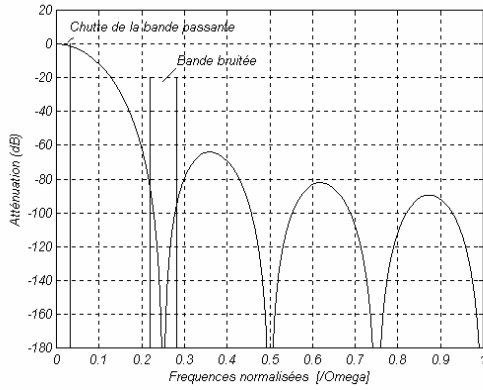


Figure IV- 8 : Réponse en fréquence de la sortie du premier filtre sinus cardinal.

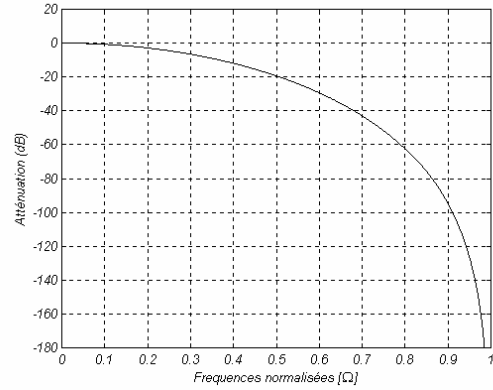


Figure IV- 9 : Réponse en fréquence de la sortie du premier filtre sinus cardinal après décimation.

La figure IV-10 présente la réponse en fréquence à la sortie du deuxième étage. Le filtre de compensation est réalisé avec une structure FIR en un seul étage en utilisant des unités de multiplieurs et de retards. Ce filtre doit satisfaire trois spécifications en même temps. Il doit restituer la perte en atténuation dans la bande passante, garantir une bande de la transition étroite et présenter une atténuation suffisante dans la bande atténuée. Cela nous amène à un ordre prohibitif du filtre (approximativement $N=645$ obtenu par simulation). Une solution adéquate consiste à diviser le filtre compensateur en deux filtres FIR. Le but du premier étage est de remédier à la chute dans la bande passante pendant que le deuxième étage joue le rôle d'un filtre passe bas avec une bande de transition étroite. La figure IV-11 présente la réponse normalisée à la fréquence de Nyquist ($F_e/2$) du filtre désirée par rapport à la réponse obtenue par simulation. La figure IV-12 montre la réponse en fréquence à la sortie des étages du filtre sinc et la réponse en fréquence du filtre de compensation. Finalement, la figure IV-13 présente la réponse en fréquence globale à la sortie du filtre décimateur entier. Pour calculer les réponses en fréquence, un fichier MATLAB (designsinc3.m) a été écrit et il est donné en annexe C.

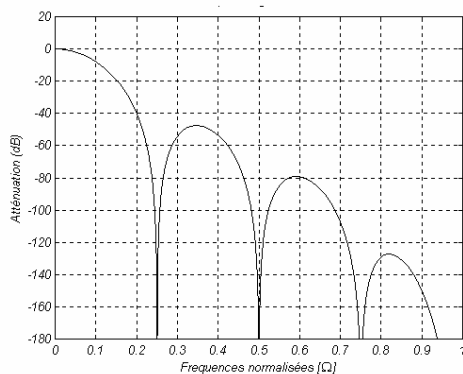


Figure IV-10 : Réponse en fréquence composée de la sortie du deuxième filtre sinc.

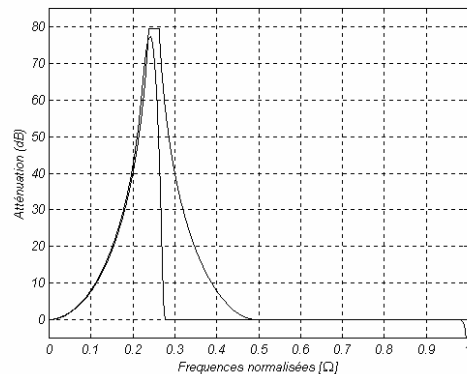


Figure IV-11 : Réponse en fréquence du filtre compensateur comparée avec celle désirée.

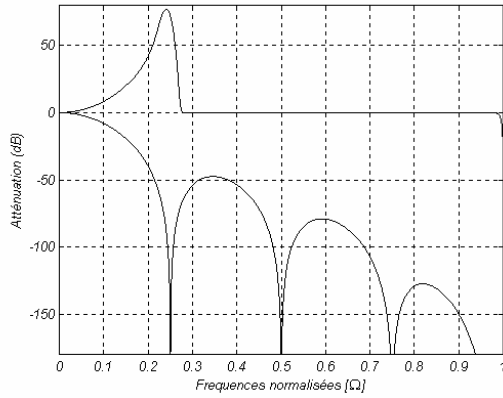


Figure IV- 12 : Réponse en fréquence du filtre sinc et le FIR compensateur.

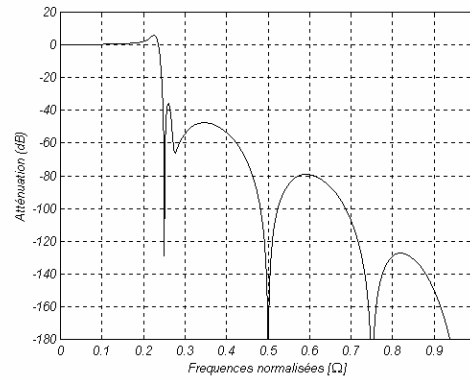


Figure IV- 13 : Réponse en fréquence totale normalisée à 8 kHz.

IV-2- La structure 2 : le filtre sinus cardinal cascadié avec deux filtres FIR

Dans ce deuxième exemple de conception, un filtre sinc « sharpened » est utilisé comme décimateur dans le premier étage au lieu du filtre sinc conventionnel présenté précédemment. Le filtre « sharpened » utilisé est du 3^{ème} ordre dont la fonction de transfert est donnée par :

$$H(z) = 3 \cdot \left[\frac{1 - z^{-16}}{D(1 - z^{-1})} \right]^6 - 2 \left[\frac{1 - z^{-16}}{D(1 - z^{-1})} \right]^9 \quad \text{Eq IV- 10}$$

Une structure adéquate du filtre peut être appliquée en choisissant une décimation frontale par 16 pour une décimation complète exécutée en trois pas, $D=16.2.2$ [Bou-01-02]. La figure IV- 14 donne le synoptique de cette structure.

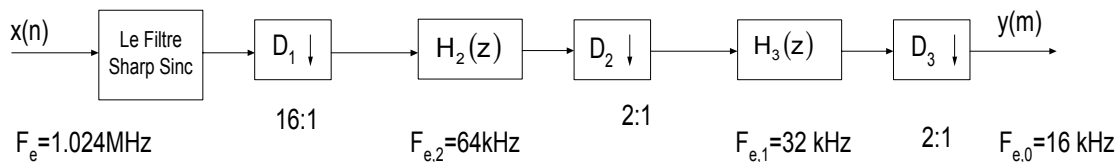


Figure IV- 14 : Le filtre sinc « sharpened » suivi de deux FIR.

Le deuxième et troisième étages doit réaliser le reste de la décimation en $D=D_2 \cdot D_3=4$. On prend deux filtres car exécuter le reste de la décimation en un seul bloc signifie l'utilisation d'un filtre FIR avec 200 coefficients pour assurer 80 dB d'atténuation dans la bande atténuée et sans aucune considération concernant la compensation de la chute dans la bande passante. Il est normal qu'en corrigeant le gabarit dans la bande passante, tout en maintenant une bande de la transition étroite, l'ordre du filtre augmente énormément. De plus, pour de telles ordres de filtre, le codage des coefficients en un nombre fini de bits agit considérablement sur la réponse implusionnelle. Les filtres sont simulés en utilisant le logiciel MATLAB et les coefficients de $H_2(z)$ sont calculés avec l'algorithme d'échange de Parks et McClellan. Le dernier filtre $H_3(z)$ fera aussi office de filtre de compensation ; il est conçu pour remédier à la

perte de gain dans la bande passante. La figure IV-16 présente la chute dans la bande passante par rapport à la réponse désirée $H_2(z)$ du filtre compensateur. Diminuer la chute de la bande passante aussi bien qu'accomplir une atténuation suffisante dans la bande d'atténuation nous amène à un filtre dont l'ordre est élevé. De plus, un tel filtre serait très sensible à la quantification des coefficients. Par conséquent, le filtre de compensation final se compose de deux filtres FIR (H_{31} et H_{32}). Le but du premier filtre est de corriger la perte dans la bande passante, pendant que le deuxième garantit une atténuation totale de 80 dB. Le fichier MATLAB (design_sinc2shcomp.m) utilisé pour simuler le filtre est donné dans l'annexe C. Pour un ordre relativement bas des filtres utilisés, une troncature à 13 bits est acceptable ; ses effets sur le comportement fréquentiel sont négligeables. Après une quantification sur 13 bits, quelques coefficients sont égaux à zéro, cela veut dire que ces coefficients n'ont pas besoin d'être employés et l'ordre du filtre baisse légèrement. De plus, la symétrie des coefficients peut être utilisée pour réduire la complexité du filtre.

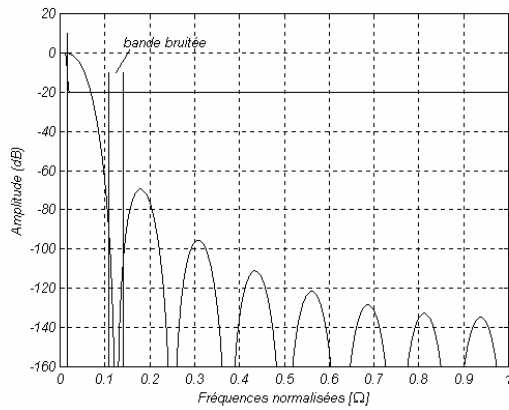


Figure IV- 15 : Réponse en fréquence du filtre « sharpened ».

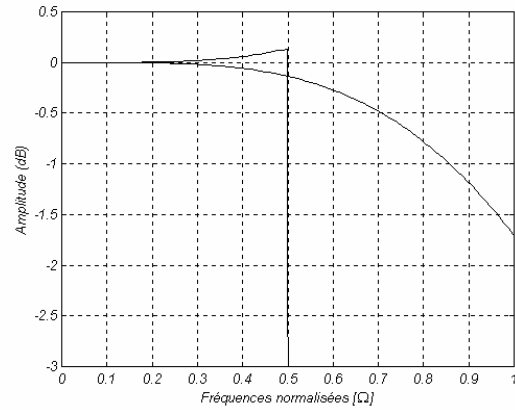


Figure IV- 16 : Réponse en fréquence du filtre « sharpened » par rapport au le filter compensateur après décimation

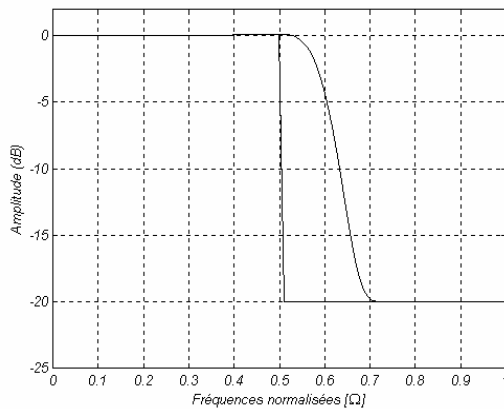


Figure IV- 17 : Réponse en fréquence de $H_{31}(z)$.

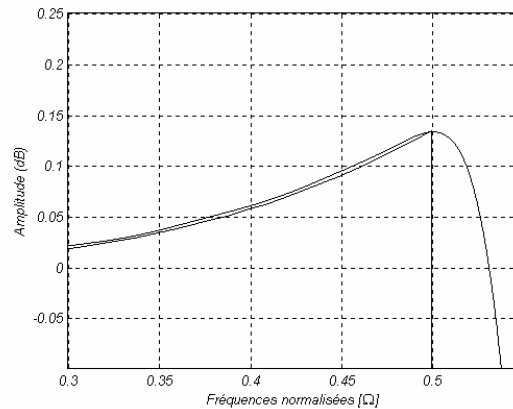


Figure IV- 18 : Un agrandissement sur la bande passante de $H_{31}(z)$.

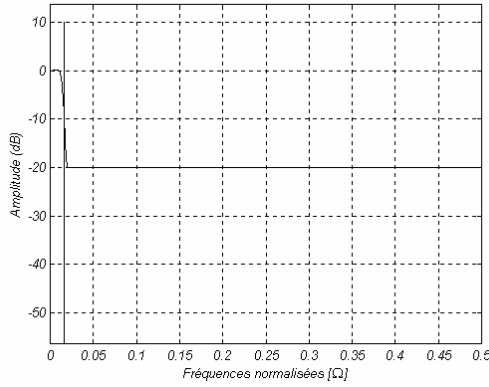


Figure IV- 19 : Réponse en fréquence du filtre compensateur pour le « sharpened ».

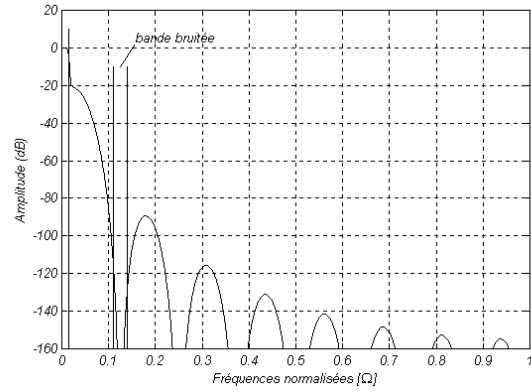


Figure IV- 20 : Réponse en fréquence du filtre « sharpened » total avec compensation.

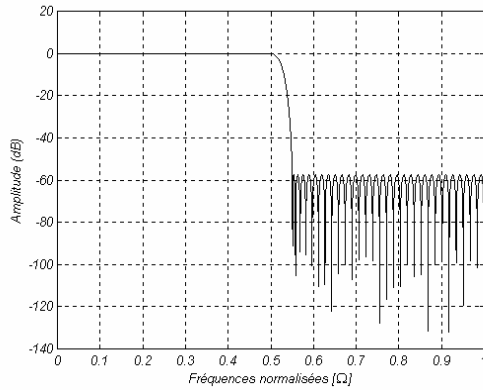


Figure IV- 21 : Réponse en fréquence de $H_{32}(z)$.

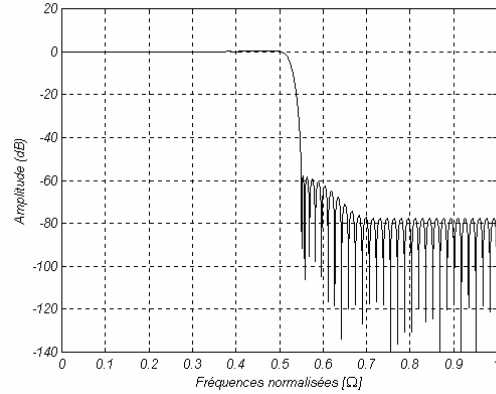


Figure IV- 22 : Réponse en fréquence composées du filtre $H_3(z)=H_{31}(z)*H_{32}(z)$.

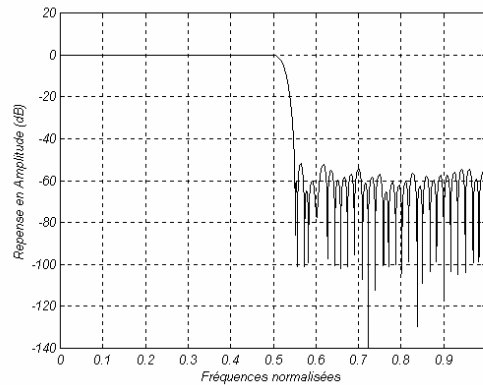


Figure IV- 23 : Réponse en fréquence du filtre $H_{32}(z)$ avec des coefficients quantifiés en 13 bits.

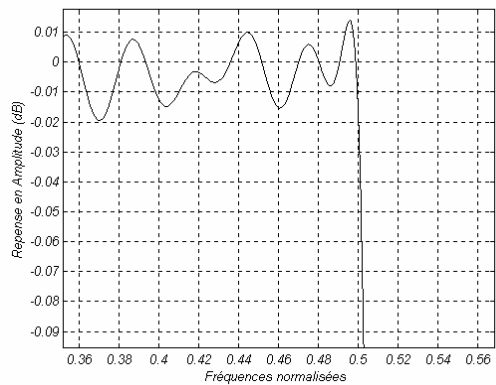


Figure IV- 24 : L'ondulation de la bande passante du filtre $H_{32}(z)$ après la troncature des coefficients en 13 bits.

Les figures IV-19, IV-20, IV-21, IV-22, IV-23 et IV-24 montrent les différentes réponses fréquentielles de chaque bloc de la structure 2 montrées sur la figure IV-14.

IV-3- La structure 3 : le filtre sinus cardinal cascadié de deux filtres demi-bande

Cette structure consiste en la cascade du filtre sinc et de deux filtres demi-bandes. La figure IV-25 donne le diagramme de cette architecture. L'objectif est de concevoir un filtre à décimation à plusieurs étages où l'étage intermédiaire possède des spécifications plus souples, ce qui baisse les exigences au niveau implantation, comme il sera montré plus tard [Bou-01-03].

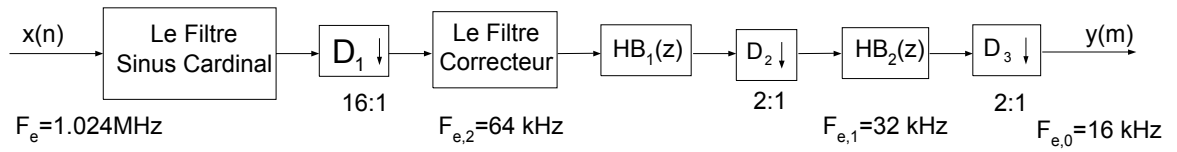


Figure IV- 25 : La structure 3, le filtre sinc suivit de deux demi-bande.

Le dernier filtre demi-bande HB_2 a les spécifications les plus strictes avec une fréquence de coupure de la bande passante à 0.25 et une fréquence de bande atténuée égale à 0.27, les fréquences étant normalisées à 16kHz. La bande de transition étroite détermine l'ordre du dernier étage en appliquant (Eq IV-1) avec $A=80 \text{ dB}$ et $\Delta f=0.02$. On donne $N=38$ le nombre de multiplicateurs pour mettre en oeuvre cet étage sera donc :

$$M_2 = \frac{N_{HB2}}{2} + 1 = 20 \quad \text{Eq IV- 11}$$

Nous obtenons une ondulation de la bande passante de 0.015 dB. La figure IV-30 montre la réponse en fréquence totale de ce filtre, tandis que la figure IV-31 représente la section relative à la bande passante du filtre. Le premier filtre demi-bande HB_1 dans cette architecture présente une large bande de transition, il est soumis à une entrée échantillonnée à une fréquence $F_{e,2}=64 \text{ kHz}$, sa bande de la transition s'étale de 0.125 jusqu'a 0.375 normalisée par rapport à $F_{e,2}$. Pour réaliser une bande de transition étalée sur 0.25, un filtre FIR de 26 coefficients est exigé. Le nombre de multiplieurs nécessaires pour le premier filtre demi-bande est :

$$M_1 = \frac{N_{HB1}}{2} + 1 = 14 \quad \text{Eq IV- 12}$$

Avec cette configuration nous obtenons une ondulation de la bande passante de 0.005 dB. la figure IV-27 montre l'ondulation dans la bande passante de la réponse fréquentielle du premier filtre $HB1$, par contre, la figure IV-26 présente sa réponse fréquentielle totale. Les

figures IV-28 et IV-29 montrent, respectivement, la réponse impulsionnelle du filtre HB1 et l'influence de la troncature de ces coefficients sur son gabarit.

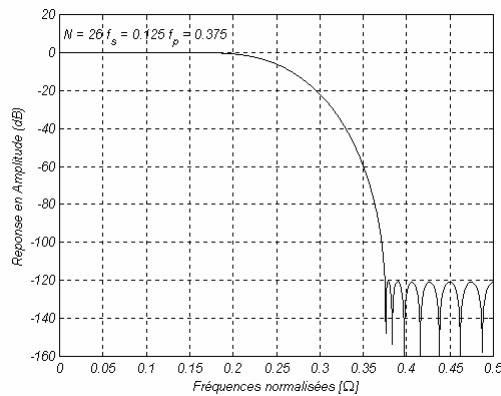


Figure IV- 26 : Réponse en fréquence du premier filtre demi-bande HB₁.

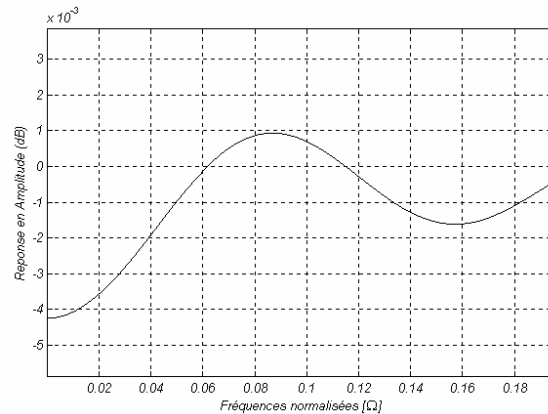


Figure IV- 27 : Ondulation dans la bande passante du filtre HB₁.

Les coefficients du filtre HB1 sont calculés en utilisant l'algorithme McCllan et Parck pour filtre passe-bas possédant un ordre égal a 26. Les coefficients sont listés ci-dessous :

```

h(0) = h(26) = 0.000108960
h(1) = h(25) = 0
h(2) = h(24) = -0.00089237
h(3) = h(23) = 0
h(4) = h(22) = 0.003986700
h(5) = h(21) = 0
h(6) = h(20) = -0.01283400
h(7) = h(19) = 0
h(8) = h(18) = 0.033999000
h(9) = h(17) = 0
h(10) = h(16) = -0.08499200
h(11) = h(15) = 0
h(12) = h(14) = 0.310620000
h(13) = 0.500000000
    
```

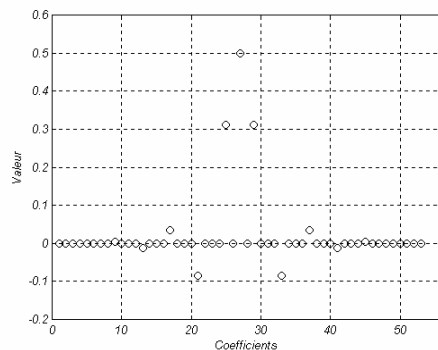


Figure IV- 28 : Réponse impulsionnelle du filtre HB₁.

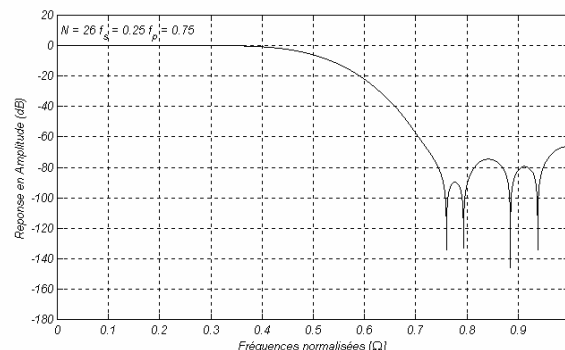


Figure IV- 29 : Effet de la troncature des coefficients du HB₁.

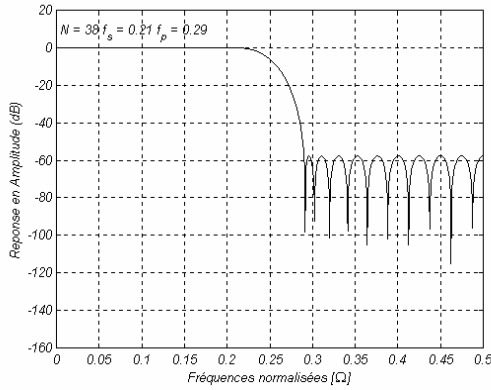


Figure IV- 30 : Réponse en fréquences du deuxième filtre demi-bande HB_2 .

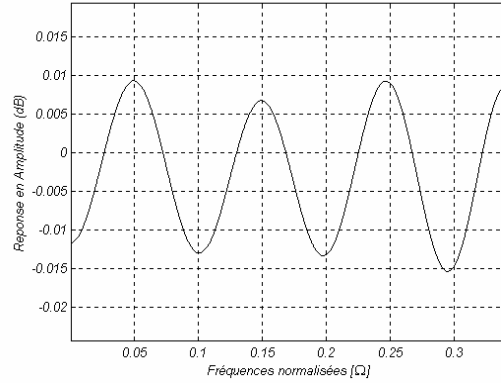


Figure IV- 31 : Ondulation dans la bande passante du filtre HB_2 .

Les figures IV-32 et IV-33 montrent, respectivement, la réponse impulsionnelle du filtre HB_2 et l'influence de la troncature de ces coefficients sur son gabarit. Les coefficients pour le second filtre demi bande ont été calculés en utilisant MATLAB et en appliquant l'algorithme d'échange de REMEZ pour un filtre d'ordre 38. Ces coefficients sont listés ci-dessous :

```

h(0) = h(38) = -0.0016444
h(1) = h(37) = 0
h(2) = h(36) = 0.00294210
h(3) = h(35) = 0
h(4) = h(34) = -0.0054183
h(5) = h(33) = 0
h(6) = h(32) = 0.00914450
h(7) = h(31) = 0
h(8) = h(30) = -0.0146020
h(9) = h(29) = 0
h(10) = h(28) = 0.02261300
h(11) = h(27) = 0
h(12) = h(26) = -0.0348560
h(13) = h(25) = 0
h(14) = h(24) = 0.05568000
h(15) = h(23) = 0
h(16) = h(22) = -0.1011500
h(17) = h(21) = 0
h(18) = h(20) = 0.31663000
h(19) = 0.50000000
    
```

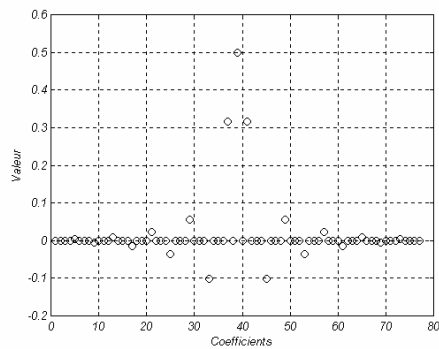


Figure IV- 32 : Effet de la troncature des coefficients du HB_2 .

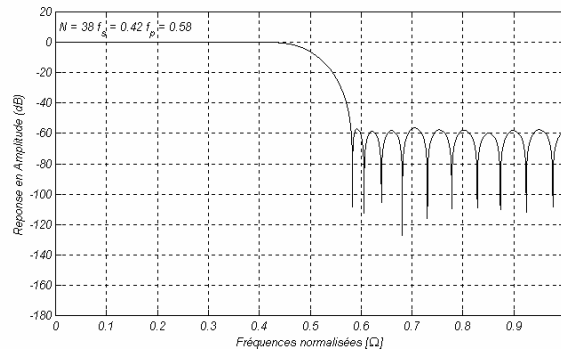


Figure IV- 33 : Réponse impulsionnelle du filtre HB_2 .

La cascade proposée des filtres demi-bande n'est pas conçue pour corriger la perte dans la bande passante du filtre sinc. Par conséquent, un filtre de compensation est toujours nécessaire. Pour limiter l'ordre de ce filtre nous avons opté pour une structure symétrique. Les coefficients calculés sont :

```

h(0) = h(40) = 3.3187 e-5
h(1) = h(39) = 1.2077 e-5
h(2) = h(38) = -8.9823 e-5
h(3) = h(37) = -0.00028567
h(4) = h(36) = -0.00049294
h(5) = h(35) = -0.00048107
h(6) = h(34) = 2.5863 e-5
h(7) = h(33) = 0.001114600
h(8) = h(32) = 0.002460000
h(9) = h(31) = 0.003218000
h(10) = h(30) = 0.002315500
h(11) = h(29) = -0.00092134
h(12) = h(28) = -0.00604740
h(13) = h(27) = -0.01114600
h(14) = h(26) = -0.01323000
h(15) = h(25) = -0.00943340
h(16) = h(24) = 0.001466600
h(17) = h(23) = 0.017967000
h(18) = h(22) = 0.035895000
h(19) = h(21) = 0.049778000
h(20) = 0.8550100

```

Les figures IV-34 et IV-35 représentent, respectivement, la réponse fréquentielle du sinus cardinal dans la bande de Nyquist et la perte en amplitude par rapport au filtre compensateur.

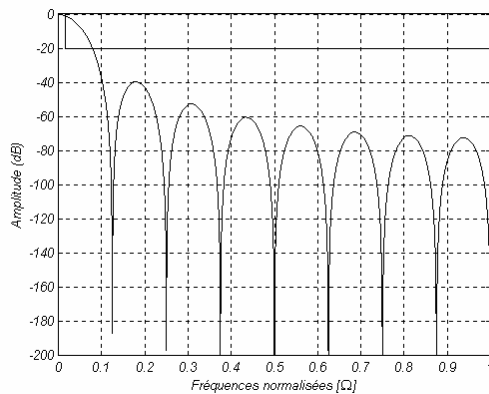


Figure IV- 34 : Réponse en fréquences du filtre Sinc D=16, K=3.

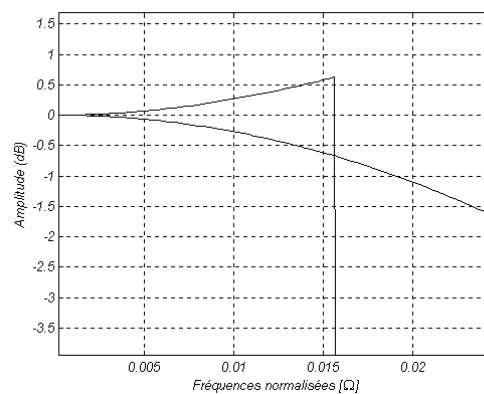


Figure IV- 35 : Perte en amplitude du filtre Sinc D=16, K=3 et réponse du filtre compensateur idéal.

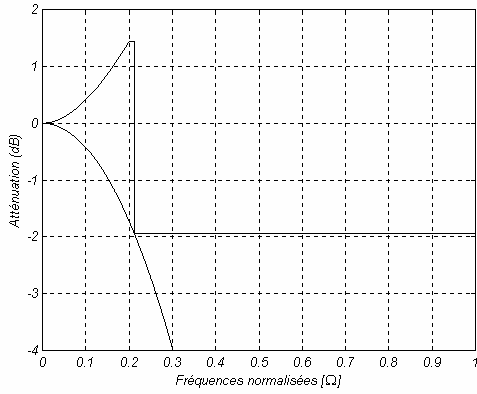


Figure IV- 36 : Perte en amplitude par rapport au filtre compensateur après la décimation.

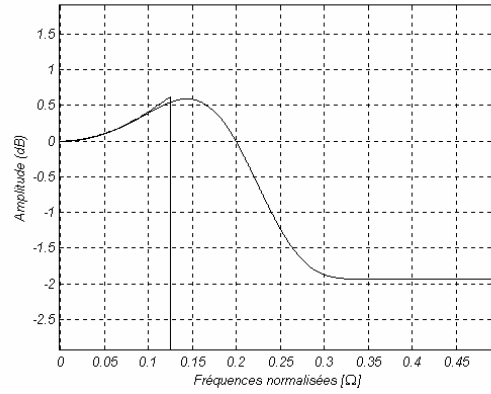


Figure IV- 37 : Réponse en fréquence du filtre compensateur comparée avec la réponse désirée.

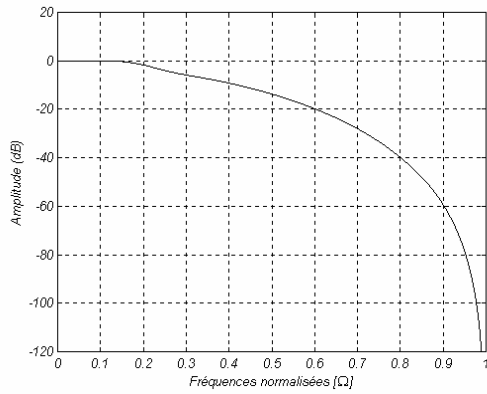


Figure IV- 38 : Synthèse du premier filtre demi-bande HB1.

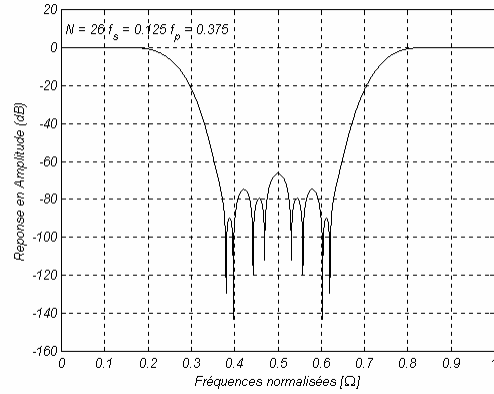


Figure IV- 39 : Réponse totale du Sinc compensée après décimation.

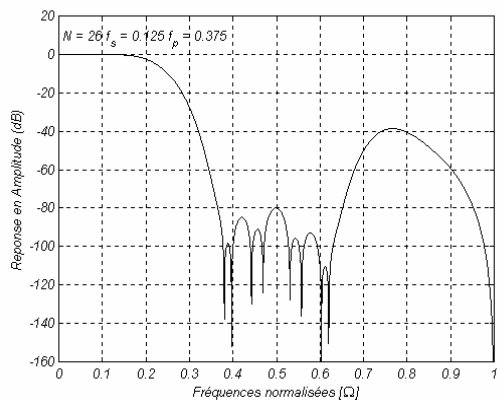


Figure IV- 40 : Réponse en fréquence composées après le filtre HB1.

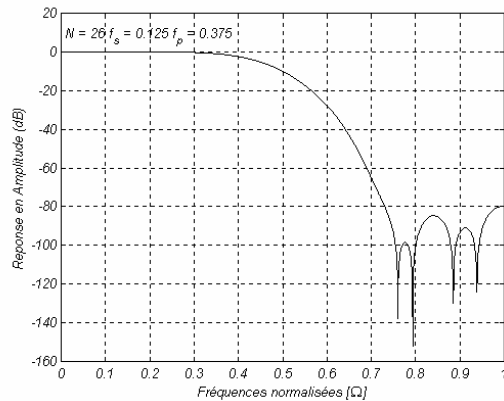


Figure IV- 41 : Réponse en fréquence composée et normalisée après le filtre HB1.

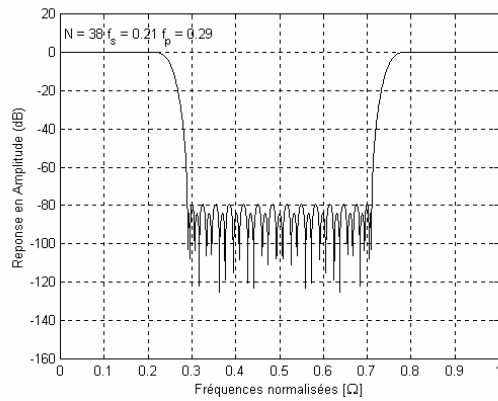


Figure IV- 42 : Synthèse du deuxième demi-bande HB2.

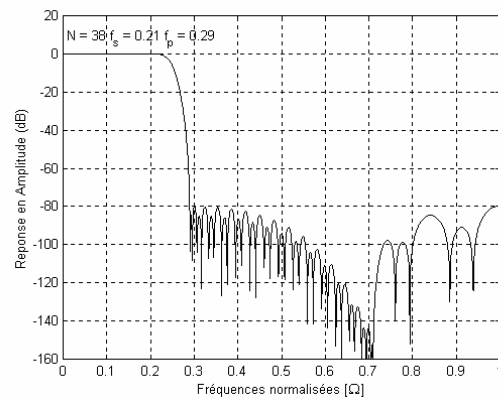


Figure IV- 43 : Réponse en fréquence composée après le filtre HB2

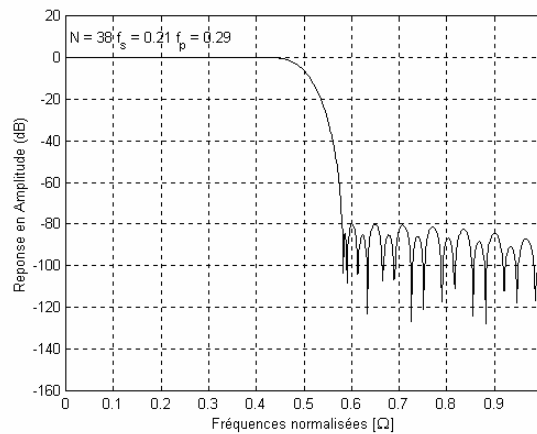


Figure IV- 44 : Réponse en fréquence composée et normalisée après le filtre HB2.

Les figures IV-34 à IV-44 montrent les différentes réponses fréquentielles de chaque bloc de la structure 3 montrée sur la figure IV-25.

IV- 4- Conclusion

Dans ce paragraphe, plusieurs réalisations du filtre à décimation ont été proposées, en particulier :

La structure 1 : Cascade de deux filtres sinus cardinaux réalisant une décimation de $D=64=8.8$. Cette architecture présente un gros handicap du fait qu'elle nécessite un filtre compensateur dont l'ordre est très élevé.

La structure 2 : Cascade d'un filtre Sinc rectangulaire avec deux filtres FIR réalisant une décimation de $D=64=16.2.2$. Cette configuration présente un inconvénient du fait que le rectangulaire exige une architecture complexe.

La structure 3 : Cascade d'un filtre sinus cardinal avec deux filtres demi-bandes. Cette architecture nécessite un filtre compensateur vue l'atténuation dans la bande utile causée par la non-idéalité du Sinc.

Notre choix s'est porté sur la troisième structure vue sa simplicité d'un point de vue d'intégration. D'autre part, les filtres demi-bandes présentent l'avantage d'avoir un coefficient sur deux nul et une version polyphasée intéressante. En outre, lors de la conception on a réalisé une synthèse symétrique des coefficients du filtre compensateur ce qui diminue son ordre de moitié. Dans ce qui suit nous allons détailler la technologie employée pour mettre en oeuvre la structure choisie.

V- CONCEPTION DU FILTRE DE DECIMATION

Les outils de développement des circuits FPGA jouent un rôle important dans la chaîne de fabrication. En effet, les retards et les temps de commutation dépendent énormément de la qualité du routage. Nous allons détailler les simulations des différents blocs qui interviennent dans la conception du filtre ainsi que leurs outils de développement. La finalité de notre travail est de pouvoir implanter le filtre dans un FPGA. Pour satisfaire le cahier des charges, plusieurs outils logistiques et matériels sont mis en oeuvre.

V-1- Choix du nombre de bits

Ce paragraphe présente les considérations prises pour la conception des filtres de décimation de type sinus cardinal. Dans cette topologie, le bit le plus significatif (MSB) des filtres est déterminé comme une fonction croissante de la largeur du registre. Nous montrons, ensuite, que la troncature ou l'arrondi peut être utilisé à chaque étape du filtrage et que le nombre de bits retenus décroît de façon monotone d'un étage à l'autre. L'erreur totale de la valeur de la sortie du filtre est liée à la troncature dans les étages intermédiaires. Le concepteur doit déterminer la valeur de la troncature ou de l'arrondi appliqué à chaque étape, sans violer les contraintes de la réalisation [Reb-00].

V-2- Largeur des registres

La fonction de transfert du filtre sinus cardinal montré à la figure IV-45 est :

$$H(z) = H_1^N(z) H_C^N(z) = \frac{(1-z^{-D})^N}{(1-z^{-1})^N} \quad \text{Eq IV- 13}$$

avec :

$$H_1(z) = \frac{1}{(1-z^{-1})}$$

et :

$$H_c(z) = (1 - z^{-D})$$

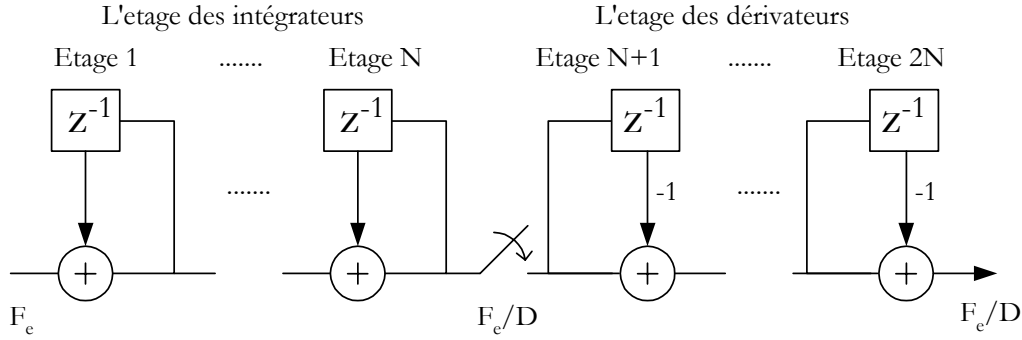


Figure IV- 45 : Structure sinus cardinal du filtre de décimation.

A partir du $j^{\text{ième}}$ étage jusqu'au dernier étage, l'expression de la fonction de transfert est donnée par [Eug-81] :

$$H_j(z) = \begin{cases} H_1^{N-j+1} H_c^N = \sum_{k=0}^{(D-1)N+j-1} h_j(k) z^{-k}, & j = 1, 2, \dots, N \\ H_c^{j-N} = \sum_{k=0}^{2N+1-j} h_j(k) z^{-kD}, & j = N+1, \dots, 2N \end{cases} \quad \text{Eq IV- 14}$$

avec :

$$h_j(k) = \begin{cases} \sum_{l=0}^{k/D} (-1)^l \binom{N}{l} \binom{N-j+k-Dl}{k-Dl}, & j = 1, 2, \dots, N \\ (-1)^k \binom{2N+1-j}{k}, & j = N+1, \dots, 2N \end{cases} \quad \text{Eq IV- 15}$$

où h_j sont les coefficients de la réponse impulsionnelle.

La largeur maximale des registres du sinus cardinal, (i.e, le nombre de bits des registres) est définie comme le rapport entre la valeur de la sortie du sinus cardinal résultant du signal le plus faible par rapport à la valeur maximale de l'entrée.

$$G_{\max} = \frac{2^{B_{\max}}}{2^{B_{\text{in}}-1}} \quad \text{Eq IV- 16}$$

Cette largeur est utilisée dans le processus de conception des filtres sinus cardinaux pour s'assurer qu'aucune donnée ne soit perdue à cause du débordement des registres. En utilisant cette définition, le nombre de bits maximum des registres à partir du premier étage $j=1$ jusqu'au dernier étage est donné par :

$$G_{\max} = H_1(z) = \sum_{k=0}^{(D-1)N} h_1(k) z^{-k} = \left(\sum_{k=0}^{D-1} z^{-k} \right)^N \quad \text{Eq IV- 17}$$

pour $z=1$, correspondent à la valeur maximale du signal d'entrée le plus faible, on a :

$$H_1(1) = \sum_{k=0}^{(D-1)N} h_1(k) = \left(\sum_{k=0}^{D-1} 1^k \right)^N = D^N \quad \text{Eq IV- 18}$$

donc,

$$G_{\max} = \frac{2^{B_{\max}}}{2^{B_{\text{in}}-1}} = D^N \quad \text{Eq IV- 19}$$

d'où :

$$B_{\max} = \lceil N \log_2(D) + B_{\text{in}} - 1 \rceil \quad \text{Eq IV- 20}$$

où le bit le moins significatif (LSB) à l'entrée du registre est considéré comme le bit numéro zéro et l'opérateur $\lceil x \rceil$ représente le plus petit nombre entier qui n'est pas inférieur à x .

Pour une arithmétique complément à deux, les opérations en modulo peuvent être implémentées par élimination des bits au-dessus de B_{\max} . Ce qui nous permet d'utiliser B_{\max} comme largeur des registres internes pour chaque étage d'intégrateur et de dérivateur. Donc B_{\max} devient la limite maximale pour chaque étage du filtre sinus cardinal.

V-3- Troncature et arrondi

Comme nous l'avons montré dans le paragraphe précédent, B_{\max} correspond à la largeur des registres internes du sinus cardinal. Pour calculer l'erreur totale à la sortie du filtre causée par la troncature, on détermine la moyenne et la variance pour chaque source d'erreur. Il y a un total de $2N+1$ sources d'erreurs. Les premières $2N$ sources sont causées par la troncature aux entrées des $2N$ étages du filtre (N étages intégrateurs et N étages dérivateurs). La dernière source d'erreur est due à la troncature dans le registre de sortie. Il est souvent supposé que l'arrondi est toujours meilleur que la troncature. Cependant, dans ce paragraphe il est montré qu'à l'exception de la première et de la dernière source d'erreur, les statistiques relatives à la sortie sont les mêmes pour la troncature et l'arrondi. En outre, les architectures les plus courantes feront usage d'une arithmétique de grande précision à la première source d'erreur pour limiter l'erreur à la sortie. En conséquence, le seul endroit où le concepteur doit porter son attention concerne le choix de la troncature ou l'arrondi sur la dernière source d'erreur. Il est supposé que chaque source d'erreur produit un bruit blanc qui n'est pas corrélé avec l'entrée et les autres sources d'erreurs, donc l'erreur de la $j^{\text{ième}}$ source est supposée avoir une probabilité de distorsion constante avec une largeur de :

$$E_j = \begin{cases} 2^{B_i}, & \text{s'il y a une troncature} \\ 0 & \text{si non} \end{cases} \quad \text{Eq IV- 21}$$

où le B_j est le nombre de LSB ignoré à la $j^{\text{ième}}$ source. Puisque l'erreur a une distorsion uniforme, la moyenne de l'erreur devient :

$$\mu_j = \begin{cases} \frac{1}{2}E_j, & \text{s'il y a une troncature} \\ 0, & \text{si non} \end{cases} \quad \text{Eq IV- 22}$$

et la variance de cette erreur est :

$$\sigma_j^2 = \frac{1}{12}E_j^2 \quad \text{Eq IV- 23}$$

Pour déterminer les effets à la sortie de la $j^{\text{ième}}$ source d'erreur, nous utilisons le système de fonctions de cet étage donné par Eq IV-14. La réponse impulsionnelle correspond à des processus indépendants et aléatoires qui sont additionnés ensemble pour élaborer la sortie du filtre. La moyenne et la variance de l'erreur du $k^{\text{ième}}$ coefficient sont, respectivement, $\mu_j h_j(k)$ et $\sigma_j^2 h_j^2(k)$. A partir du $k^{\text{ième}}$ coefficient, les processus sont indépendants. Les statistiques totales du $j^{\text{ième}}$ étage sont les sommes des réponses impulsionnelles pour chaque coefficient. Donc, la moyenne totale est :

$$\mu_{Tj} = \mu_j D_j \quad \text{Eq IV- 24}$$

où

$$D_j = \begin{cases} \sum_k h_j(k), & j = 1, 2, \dots, 2N \\ 1, & j = 2N + 1 \end{cases} \quad \text{Eq IV- 25}$$

désigne le gain moyen de l'erreur pour la $j^{\text{ième}}$ source d'erreur. De même façon, la variance totale s'écrit comme suit :

$$\sigma_{Tj}^2 = \sigma_j^2 F_j^2 \quad \text{Eq IV- 26}$$

Où

$$F_j^2 = \begin{cases} \sum_k h_j^2(k), & j = 1, 2, \dots, 2N \\ 1, & j = 2N + 1 \end{cases} \quad \text{Eq IV- 27}$$

désigne le gain de la variance de l'erreur pour la $j^{\text{ième}}$ source d'erreur.

Ces deux gains d'erreurs sont utilisés pour lier les statistiques de la source d'erreur avec ceux de la sortie. De plus, ils sont utiles pour le processus d'implantation parce qu'ils sont indépendants de l'erreur actuelle. Il est démontré que le gain moyen de l'erreur donnée par l'équation (Eq IV-23) est nul pour toutes, sauf pour la première et la dernière source. Ceci implique une simplification de l'expression pour la première source de l'erreur [Eug-81].

$$D_j = \begin{cases} (D)^N, & j = 1 \\ 0, & j = 2, 3, \dots, 2N \\ 1, & j = 2N + 1 \end{cases} \quad \text{Eq IV- 28}$$

D'après les Eq IV-21 et Eq IV-23 on note que la variance de l'erreur est la même pour la troncature ou l'arrondi et la moyenne de l'erreur totale donnée par Eq IV-24 et Eq IV-28 est nulle pour toutes sauf pour la première et la dernière source. En conséquence, le choix de troncature ou d'arrondi n'affecte pas les statistiques d'erreurs sauf pour la première et la dernière sources. L'expression de la moyenne et la variance de la sortie causée par la troncature ou l'arrondi sont :

$$\mu_T = \sum_{j=1}^{2N+1} \mu_{Tj} = \mu_{Tj} + \mu_{T_{2N+1}} \quad \text{Eq IV- 29}$$

$$\sigma_T^2 = \sum_{j=1}^{2N+1} \sigma_{Tj}^2 \quad \text{Eq IV- 30}$$

En utilisant les informations précédentes concernant les sources d'erreurs pour la sortie, nous pouvons déterminer maintenant le nombre de bits à éliminer en tenant compte des contraintes de chaque erreur. Dans ce processus, la variance est prise en compte puisqu'elle est la seule à être affectée par la troncature ou l'arrondi et par toutes les sources d'erreurs. D'autre part, la moyenne est affectée par la troncature ou l'arrondi seulement pour la première et la dernière source. Supposons que le nombre de bits retenu dans le registre de la sortie est B_{out} , le nombre de LSB ignoré est alors:

$$B_{2N+1} = B_{max} - B_{out} + 1 \quad \text{Eq IV- 31}$$

La variance de l'erreur résultante est définie par Eq IV-26. A ce point, la décision qui consiste à considérer que la variance des $2N$ premières sources d'erreurs est plus petite que la variance de la dernière source est légitime [Eug-81]. Cela résulte dans le choix du nombre de LSB ignoré à chaque étage, donné par :

$$B_j = \left\lceil -\log_2 F_j + \log_2 \sigma_{T_{2N+1}} + \frac{1}{2} \log_2 \frac{6}{N} \right\rceil \quad j=1, 2, \dots, 2N \quad \text{Eq IV- 32}$$

VI- SIMULATION ET REALISATION

Les filtres de la chaîne de décimation ont été réalisés avec une arithmétique « bit fini ». Des opérations élémentaires de traitement numérique du signal numérique telles que : retard, multiplication, troncature, décalage ... permettent de modéliser rapidement un filtre en tenant compte de la taille des chemins de données en interne, ce qui donne une modélisation simple des filtres. Grâce aux générateurs de signaux échantillonnés et aux fonctions de visualisation

telles que la transformée de Fourier, on vérifie alors le comportement fréquentiel du filtre. Dans ce qui suit, nous présentons les simulations relatives aux chaînes de décimation possibles et notre choix s'est porté sur un filtre sinus cardinal du troisième ordre réalisant une décimation par 16. La largeur des registres internes étant de 13 bits, le filtre doit garantir une atténuation du bruit de 80 dB hors bande. Cependant, un filtre correcteur doit figurer dans la chaîne de décimation, vu la perte en amplitude dans la bande utile. Un fichier MATLAB a été élaboré pour le calcul des coefficients de ce filtre (Coeff_trunc.m) et pour comparer les réponses fréquentielles après troncature. Ensuite, deux filtres demi-bandes sont nécessaires pour achever le reste de la décimation par 4. Une étude comportementale a été faite pour mettre en œuvre l'influence de l'arithmétique « bit fini » sur les valeurs des coefficients. Nous avons constaté que la troncature n'a pas beaucoup d'effet sur les filtres demi-bande vu les faibles valeurs du taux de décimation et de l'ordre. Dans ce paragraphe, nous allons détailler l'architecture interne adoptée pour chacun des filtres, ce qui permet de passer à l'aspect implantation.

VI-1- Le filtre sinus cardinal

VI-1-1. L'intégrateur

Le premier bloc du Sinc étant l'intégrateur, nous avons commencé la simulation en utilisant le mode « warp » pour éviter la saturation. En effet, dans ce mode, lorsque les registres de l'additionneur atteignent leur valeur limite maximale, ils basculent vers la valeur la plus petite. puisqu'on code la dérivée du signal. Comme le montre la figure IV-46, la boucle de retour est assurée par une constante de valeur 0.99, cette réaction permet d'atténuer la composante continue du bit stream. Il faut noter qu'avec cette structure, nous évitons l'utilisation de multiplieur de façon à optimiser l'implantation et les constantes ne sont que des opérations simples de décalage.

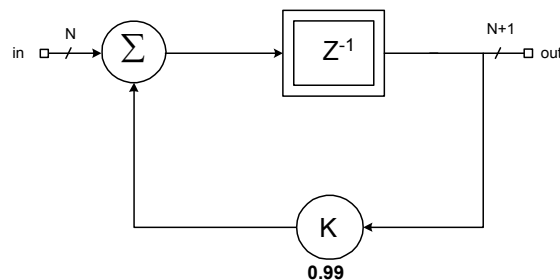


Figure IV- 46 : Structure de l'intégrateur.

La figure IV-48 montre le schéma de simulation de l'intégrateur pour une entrée sinusoïdale. Les résultats de simulation sont montrés dans la figure IV-47. On voit bien que la sortie de l'intégrateur est un signal de type cosinus après un temps de latence.

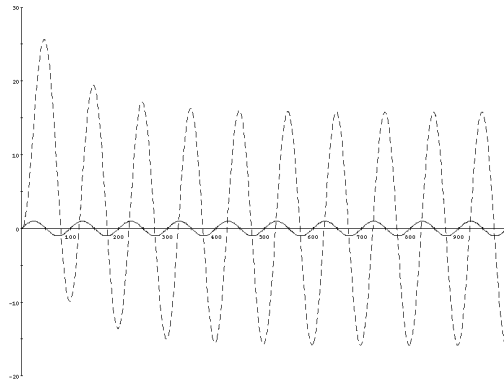
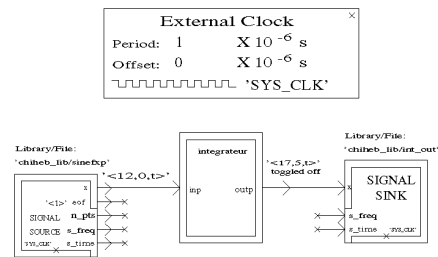


Figure IV- 47 : Simulation de l'intégrateur.



test integrateur

Figure IV- 48 : Intégration d'une sinus numérique.

VI-1-2- Le dérivateur

Le deuxième bloc du filtre Sinc étant le dérivateur, nous l'avons simulé avec l'architecture illustrée dans la figure IV-49. Dans cet étage, le problème de l' « overflow » (ou la saturation) ne se pose pas.

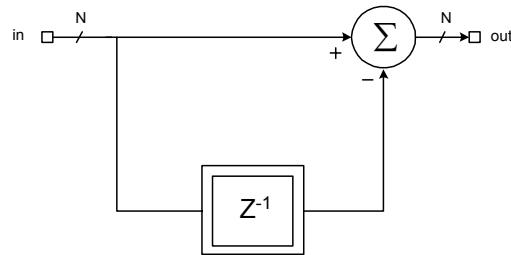


Figure IV- 49 : Structure du dérivateur.

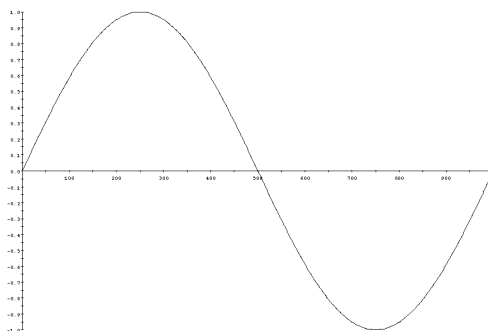


Figure IV- 50 : Entrée sinusoïdale du dérivateur.

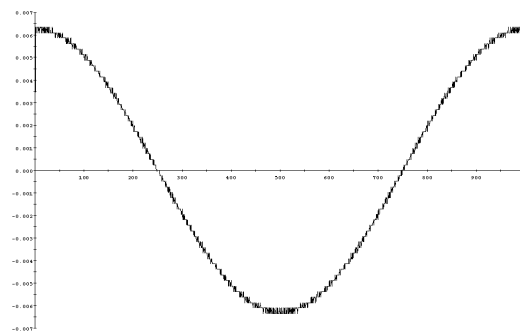


Figure IV- 51 : Sortie cosinusoidale du dérivateur.

VI-1-3- La complémentation

Vue que l'on effectue des opérations sur des nombres signés, une opération de complémentation est nécessaire à l'entrée du filtre sinus cardinal. Nous avons réalisé cette opération sur SPW en utilisant des éléments de la bibliothèque « bit manipulation » qui n'est pas gourmande au niveau silicium ou CLB du FPGA.

COMPLEMENTATION

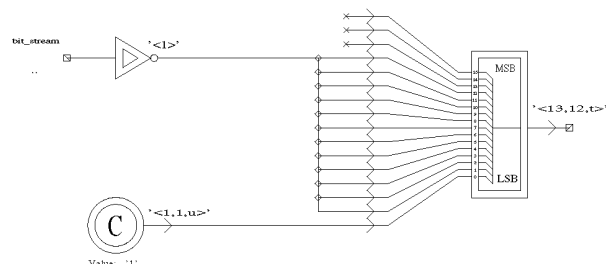


Figure IV- 52 : La complémentation.

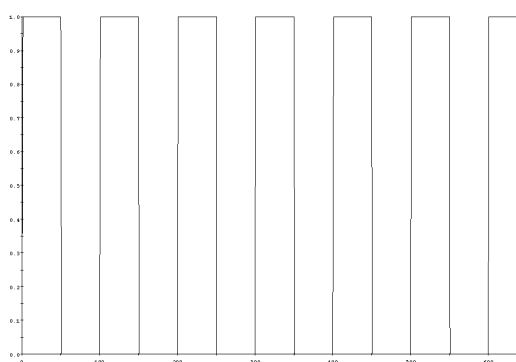


Figure IV- 53 : Entrée signal carré non signé.

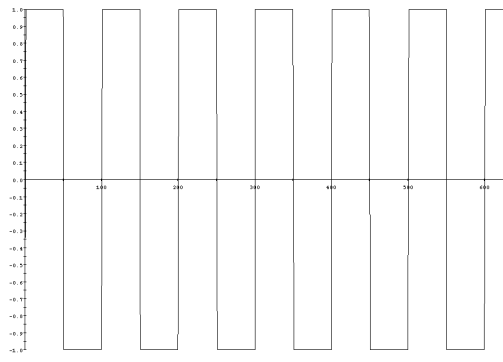
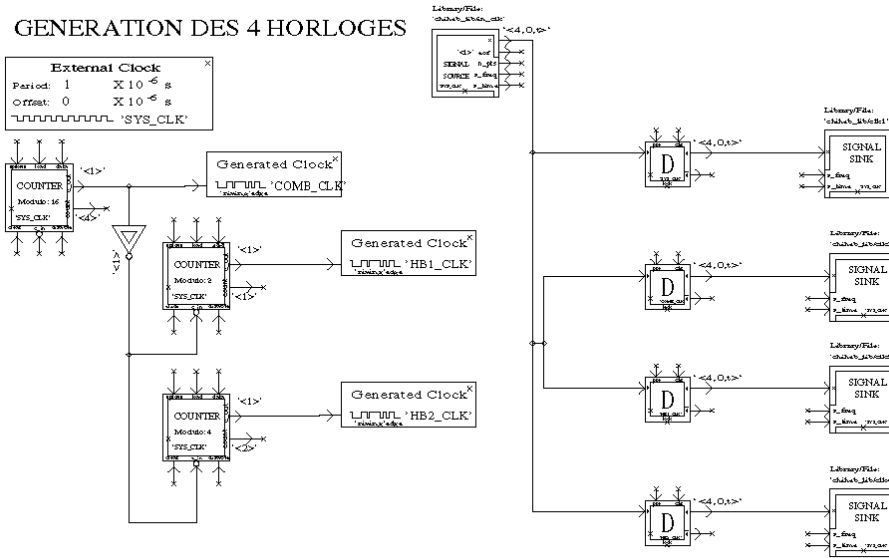


Figure IV- 54 : Sortie signal carré signé

VI-1-4- La décimation : les horloges

Les horloges jouent un rôle très important dans la conception du circuit. En effet, la décimation s'effectue en divisant les fréquences des horloges de fonctionnement des composants. La fréquence du système « SYS_CLK » est la plus haute (1.024 MHz), elle représente la fréquence de fonctionnement des intégrateurs du filtre sinc. L'horloge « SYS_CLK » est divisée ensuite par 16 (64 kHz) pour réaliser la fréquence de fonctionnement des dérivateurs du filtre sinc. Cette division s'effectue au moyen d'un compteur modulo 16 et c'est sur son front montant du « over flow » qu'on génère l'horloge « COMB_CLK » représentée dans la figure IV-56. Pour réaliser la décimation par deux des deux filtres demi-bande, on utilise un compteur modulo 2 pour le premier et un compteur modulo 4 pour le

second. Les horloges générées sont respectivement « HB1_CLK » (32kHz) et « HB2_CLK » (16 kHz).



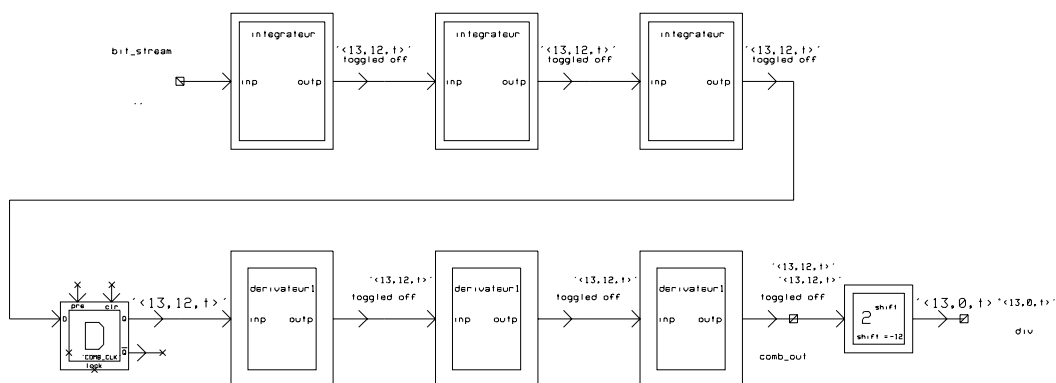


Figure IV- 58 : Filtre sinus cardinal.

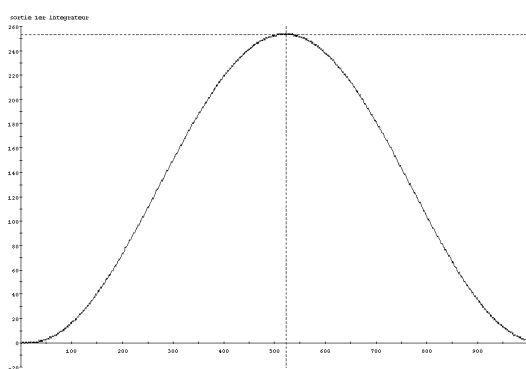


Figure IV- 59 : Sortie du premier intégrateur.

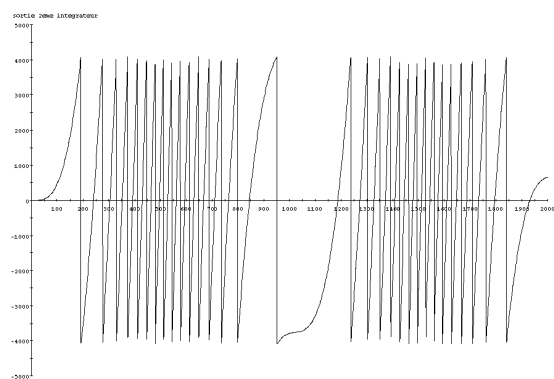


Figure IV- 60 : Sortie du deuxième intégrateur.

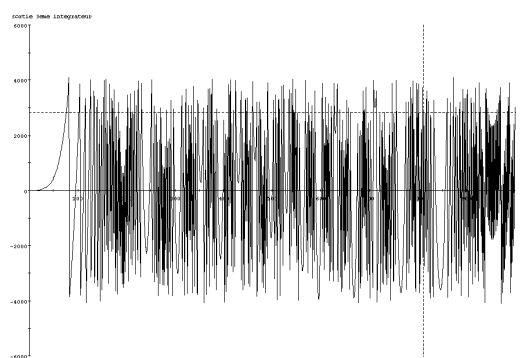


Figure IV- 61 : Sortie du troisième intégrateur.

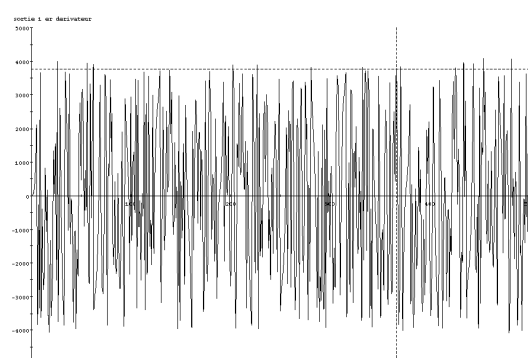


Figure IV- 62 : Sortie du premier dérivateur.

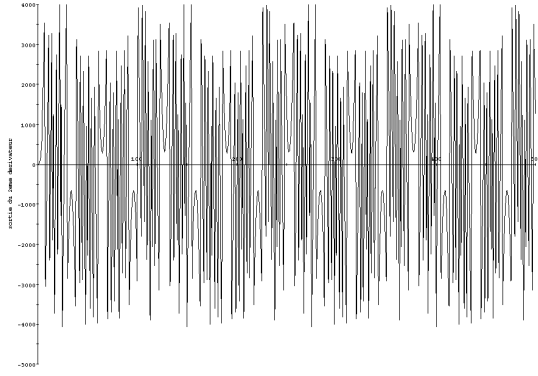


Figure IV- 63 : Sortie du deuxième dérivateur.

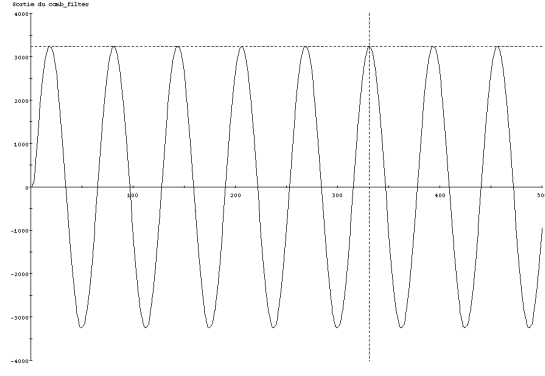


Figure IV- 64 : Sortie finale du filtre.

VI-2 Le filtre Compensateur

Le filtre compensateur, placé juste après le filtre sinus cardinal, joue un rôle important. En effet, c'est lui qui se charge de remédier aux atténuations dans la bande passante de l'étage précédant. Nous avons opté pour une structure symétrique qui va nous permettre d'économiser la moitié des coefficients et, par conséquent, d'optimiser l'utilisation des CLB du composant FPGA. Après la troncature des coefficients en 13 bits, les coefficients sont :

$$\begin{aligned}
 h(0) &= h(40) = 0 \\
 h(1) &= h(39) = 0 \\
 h(2) &= h(38) = 0 \\
 h(3) &= h(37) = -0.00024414 \\
 h(4) &= h(36) = -0.00048828 \\
 h(5) &= h(35) = -0.00036621 \\
 h(6) &= h(34) = 0 \\
 h(7) &= h(33) = 0.001098600 \\
 h(8) &= h(32) = 0.002441400 \\
 h(9) &= h(31) = 0.003173800 \\
 h(10) &= h(30) = 0.002197300 \\
 h(11) &= h(29) = -0.00085449 \\
 h(12) &= h(28) = -0.00598140 \\
 h(13) &= h(27) = -0.01110800 \\
 h(14) &= h(26) = -0.01318400 \\
 h(15) &= h(25) = -0.00939940 \\
 h(16) &= h(24) = 0.001464800 \\
 h(17) &= h(23) = 0.017944000 \\
 h(18) &= h(22) = 0.035889000 \\
 h(19) &= h(21) = 0.049683000 \\
 h(20) &= 0.854980000
 \end{aligned}$$

Ainsi l'ordre du filtre va diminuer grâce à l'annulation de certains coefficients. Cet abaissement d'ordre dû à la troncature ne va pas changer le comportement fréquentiel du filtre compensateur car son ordre n'est pas élevé. La fréquence de fonctionnement du filtre sera de 64 kHz « COMB_CLK ». La figure IV-65 représente l'architecture adoptée pour ce filtre sur SPW.

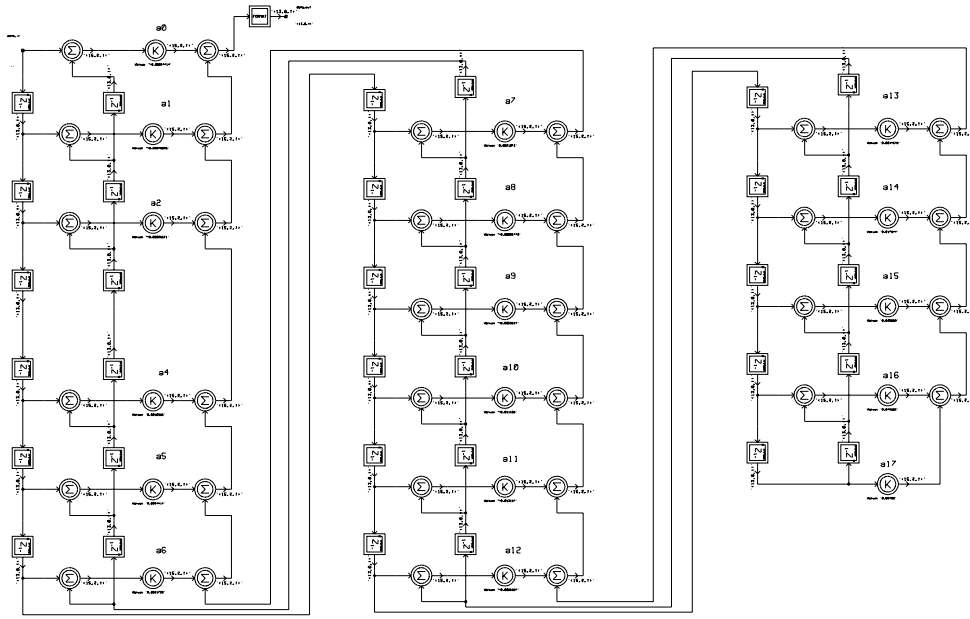


Figure IV- 65 : Filtre compensateur.

VI-3- Le filtre demi bande 1

Le troisième étage du filtre décimateur consiste en un filtre demi-bande effectuant une décimation par 2. L'ordre du premier filtre demi-bande est de 26, mais notre choix portera sur une structure symétrique. Ceci permet la diminution de moitié du nombre de coefficients (13). De plus, vue la nature du filtre, un coefficient sur deux est nul, ce qui réduit l'ordre à 8. La fréquence de fonctionnement du filtre sera de 32 kHz « HB1_CLK ». En effet, cette fréquence est donnée par la structure polyphasée adoptée et qui permet de réaliser la décimation à l'entrée de cet étage. Ce qui nous donne plus de souplesse puisque les différentes unités de cet étage fonctionnent à la fréquence la plus basse. Après troncature, les coefficients deviennent :

$$\begin{aligned}
 h(0) &= h(26) = 0 \\
 h(1) &= h(25) = 0 \\
 h(2) &= h(24) = -0.00085449 \\
 h(3) &= h(23) = 0 \\
 h(4) &= h(22) = 0.003906300 \\
 h(5) &= h(21) = 0 \\
 h(6) &= h(20) = -0.01281700 \\
 h(7) &= h(19) = 0 \\
 h(8) &= h(18) = 0.033936000 \\
 h(9) &= h(17) = 0 \\
 h(10) &= h(16) = -0.08496100 \\
 h(11) &= h(15) = 0 \\
 h(12) &= h(14) = 0.310550000 \\
 h(13) &= 0.500000000
 \end{aligned}$$

La figure IV-66 représente l'architecture adoptée pour ce filtre sur SPW.

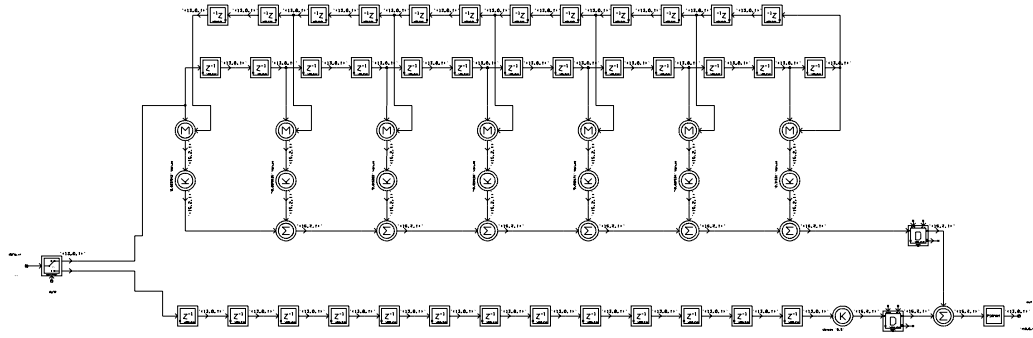


Figure IV- 66 : Filtre demi bande 1.

VI-4- Le filtre demi bande 2

Le dernier étage du filtre décimateur sera un filtre demi-bande effectuant le reste de la décimation qui est de 2. L'ordre de ce deuxième filtre demi-bande est de 38, mais vue sa structure symétrique le nombre de coefficients diminue à 19. De plus, grâce à la nature du filtre, un coefficient sur deux est nul, ce qui réduit l'ordre à 11. La fréquence de fonctionnement du filtre sera de 16 kHz « HB2_CLK ». Cette fréquence, comme il a été signalé dans le paragraphe précédent, est obtenue en utilisant une structure polyphasée. La figure IV-67 représente l'architecture adoptée pour ce filtre sur SPW.

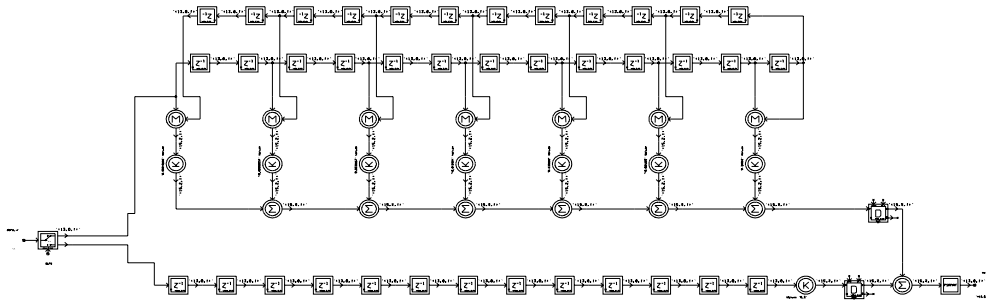


Figure IV- 67 : Filtre demi bande 2.

Après troncature, les coefficients du filtre deviennent :

$$\begin{aligned}
 h(0) &= h(38) = 0 \\
 h(1) &= h(37) = 0 \\
 h(2) &= h(36) = -0.0020752 \\
 h(3) &= h(35) = 0 \\
 h(4) &= h(34) = 0 \\
 h(5) &= h(33) = 0.00463870 \\
 h(6) &= h(32) = 0 \\
 h(7) &= h(31) = 0 \\
 h(8) &= h(30) = -0.0093994 \\
 h(9) &= h(29) = 0 \\
 h(10) &= h(28) = 0.01709000
 \end{aligned}$$


```

h(11) = h(27) = 0
h(12) = h(26) = -0.0296630
h(13) = h(25) = 0
h(14) = h(24) = 0.05151400
h(15) = h(23) = 0
h(16) = h(22) = -0.0983890
h(17) = h(21) = 0
h(18) = h(20) = 0.31568000
      h(19) = 0.50000000

```

VI-6- Le filtre décimateur total

La figure IV-68 montre le schéma complet du filtre de décimation :

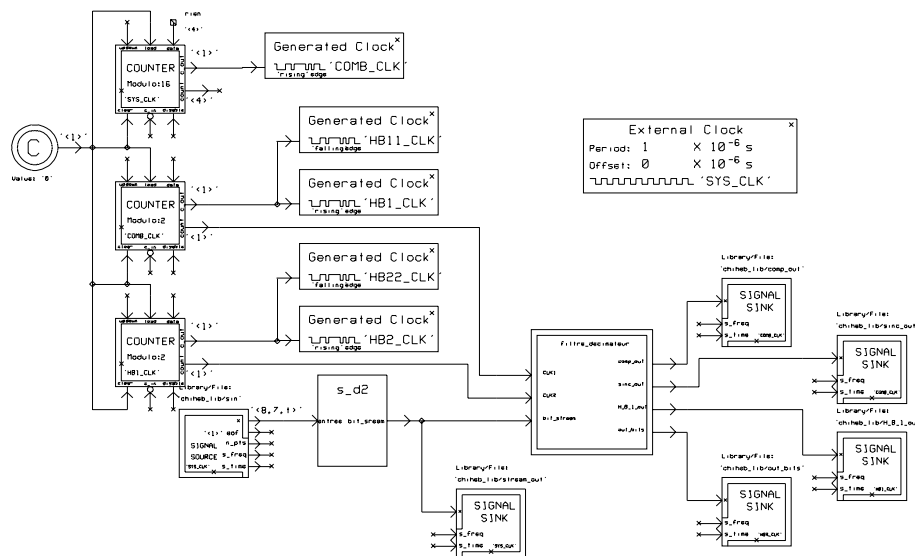


Figure IV- 68 : Chaîne de décimation.

Après avoir réalisé le modulateur $\Sigma\Delta$ à courant commuté de deuxième ordre, nous avons testé toute la chaîne de conversion. La figure IV-69 illustre la chaîne de test du convertisseur $\Sigma\Delta$.

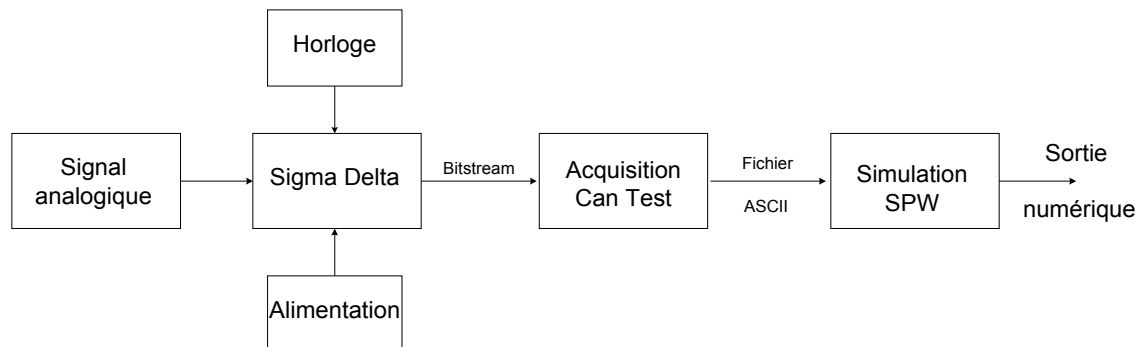


Figure IV- 69 : Chaîne de test du convertisseur $\Sigma\Delta$.

Cette chaîne de test du convertisseur $\Sigma\Delta$ est constituée d'un modulateur Sigma Delta, d'une carte d'acquisition et d'un simulateur de type SPW. La sortie du modulateur mesurée sur CanTest est sauvegardée sur un fichier ASCII. Ensuite, ce fichier attaque l'entrée du filtre de décimation sur l'environnement SPW. Les résultats de simulation de la chaîne de conversion $\Sigma\Delta$ sont validés dans le paragraphe suivant.

VI-7- Résultats de simulation de la chaîne de conversion $\Sigma\Delta$

La validation de la chaîne de conversion $\Sigma\Delta$ de la figure IV-69 a été testé pour deux fréquences différentes de la bande passante, 1kHz et 3kHz. Les figures IV-70 à IV-77 représentent les différentes sorties des étages du filtre décimateur ainsi que leurs analyses spectrales respectives

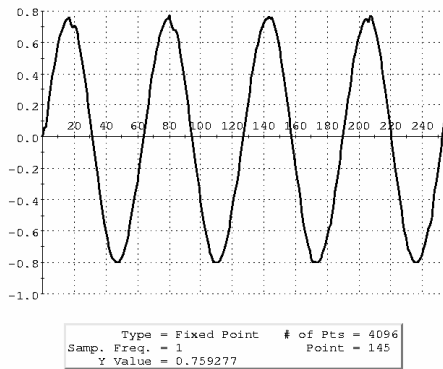


Figure IV- 70 : Sortie du sinus cardinal.

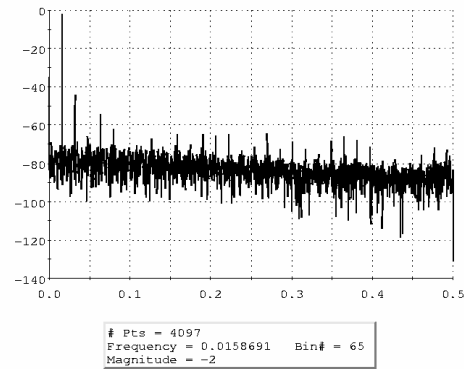


Figure IV- 71 : FFT de la sortie.

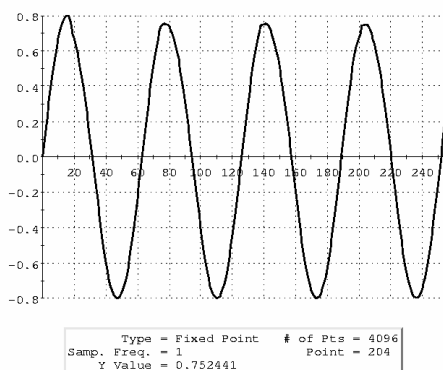


Figure IV- 72 : Sortie du filtre compensateur.

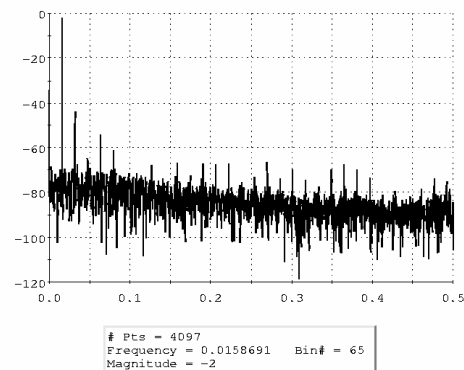


Figure IV- 73 : FFT de la sortie.

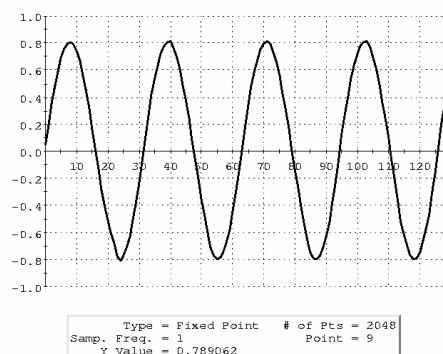


Figure IV- 74 : Sortie du premier filtre demi -bande.

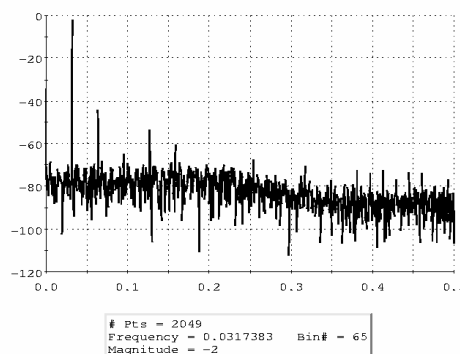


Figure IV- 75 : FFT de la sortie.

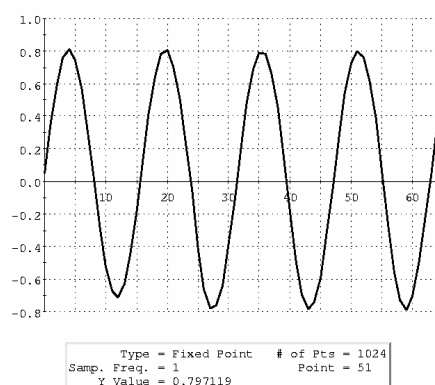


Figure IV- 76 : Sortie finale après le deuxième filtre demi-bande.

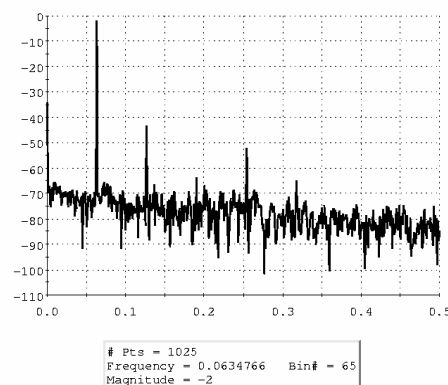


Figure IV- 77 : FFT de la sortie.

Ces résultats ont été validés pour une entrée d'amplitude -2dB (0.8 de la pleine échelle) en dessous de la pleine échelle, à une fréquence d'entrée de 1kHz. Le nombre de point acquis est de 65536 à l'entrée du filtre de décimation. La figure IV-70 illustre la sortie temporelle du sinus cardinal correspondante à une décimation par 16. Nous avons donc obtenu 4096 points de données codées sur 13 bits. On remarque que la sortie du sinus cardinal n'atteint pas sa valeur maximal 0.8 et présente une déformation due à la distorsion du modulateur Sigma Delta. La figure IV-72 illustre la sortie du filtre correcteur où l'on constate une meilleure sortie temporelle qui se rapproche de sa valeur maximale. Les figures IV-71 et IV-73 montrent la FFT du signal de sortie du sinus cardinal et du filtre correcteur. La figure IV-74 montre la sortie du premier filtre demi-bande avec une décimation par 2. Nous obtenons 2048 données sur 13 bits. La figure IV-75 illustre la FFT du signal de sortie du premier filtre demi-bande. On retrouve la raie fondamentale à 1kHz normalisée par rapport à 32 kHz ($f_{\text{fond}}=0.031$). La figure IV-76 représente la sortie finale de la chaîne de conversion. Nous avons obtenu 1024 points de données sur 13 bits ce qui correspond à une décimation par 2 par rapport à la sortie du premier filtre demi

bande. La figure IV-77 montre la FFT du signal de sortie de la chaîne de conversion $\Sigma\Delta$. On remarque que le raie fondamentale se translate à ($f_1=0.063$) normalisée par rapport à 16kHz. De même les différentes figures présentées à la suite montrent les résultats des différentes simulations à chaque étage du filtre de décimation pour une entrée d'amplitude -4.43 dB au dessous de la pleine échelle et une fréquence de 3kHz. Le nombre de point acquis est de 65536. La figure IV-78 représente la sortie temporelle du sinus cardinal et la figure IV-79 montre son spectre. On remarque que plus les fréquences se rapprochent de la limite de la bande passante, plus l'atténuation est grande. En effet, la sortie du filtre sinus cardinal est de -5.2 dB en dessous de la pleine échelle. Après correction, l'amplitude de la sortie du filtre compensateur est de -4.43 dB au dessous de la pleine échelle. La figure IV-81 illustrent la FFT du signal de sortie du filtre correcteur.

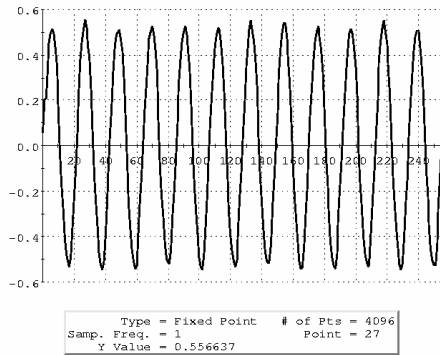


Figure IV- 78 : Sortie du sinus cardinal.

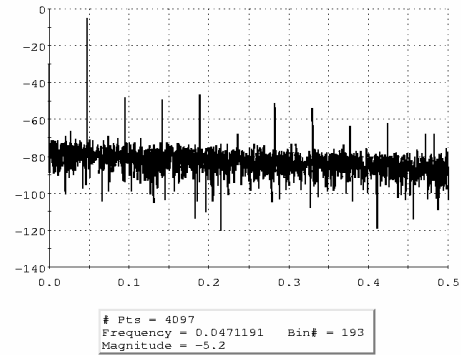


Figure IV- 79 : FFT de la sortie.

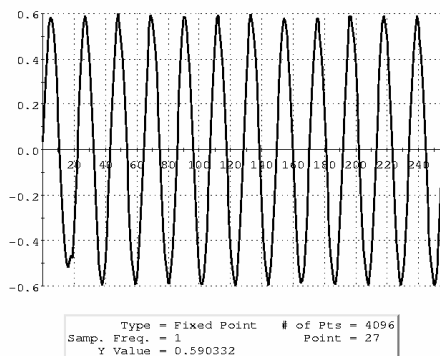


Figure IV- 80 : Sortie du filtre compensateur.

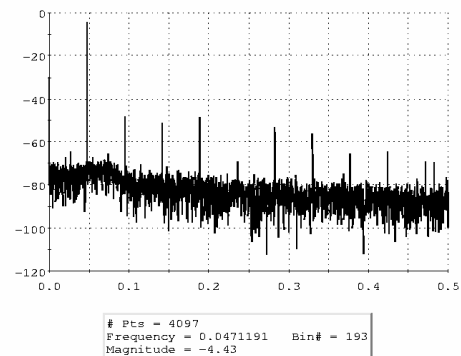


Figure IV- 81 : FFT de la sortie..

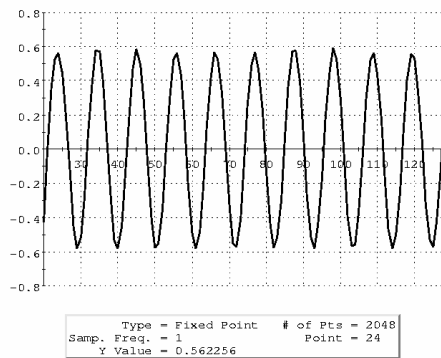


Figure IV- 82 : Sortie du premier filtre demi-bande.

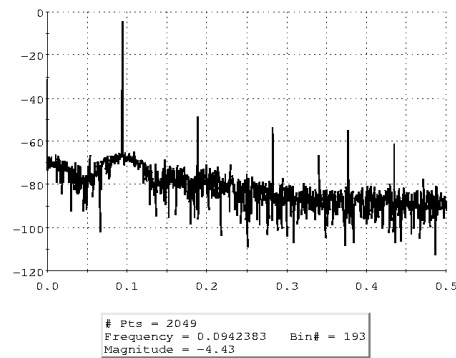


Figure IV- 83 : FFT de la sortie.

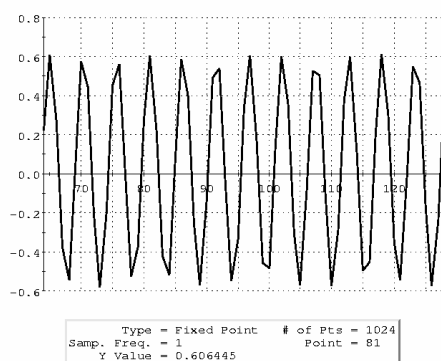


Figure IV- 84 : Sortie finale après le deuxième filtre demi-bande.

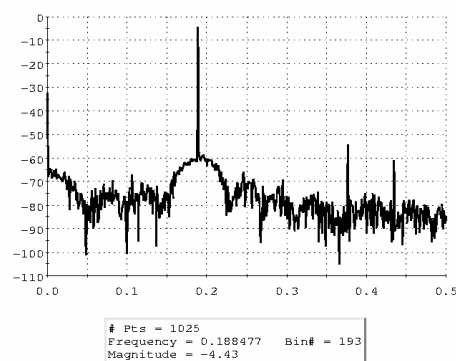


Figure IV- 85 : FFT de la sortie.

Les figures IV-82 et IV-84 illustrent la sortie temporelle du premier filtre demi-bande et du deuxième filtre demi-bande. Dans une deuxième étape, le fichier à la sortie finale de convertisseur Sigma Delta a été récupéré et une acquisition sur Can Test est faite sur les 13 bits afin de vérifier la fonctionnalité du convertisseur analogique-numérique [Bou-01-03]. Les figures IV-87 et IV-88 illustrent le signal reconstitué du convertisseur analogique numérique et son spectre. Le tableau IV-6 représente les caractéristiques du convertisseur analogique numérique dans la bande audio.

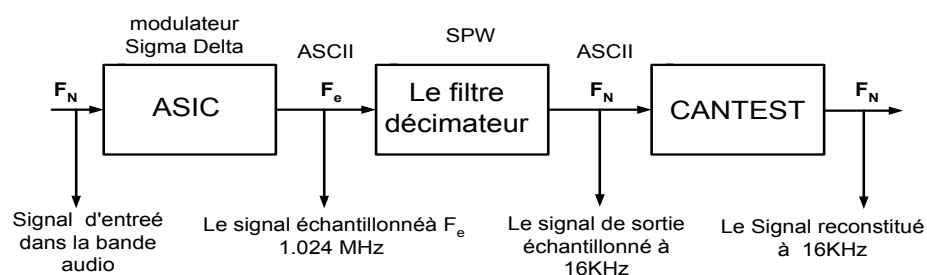


Figure IV- 86 : Schéma bloc du test.

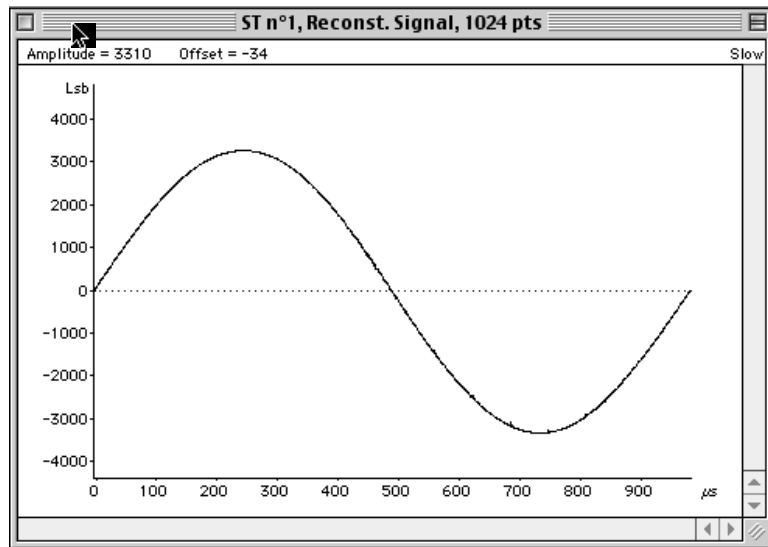


Figure IV- 87 : Signal reconstitué du convertisseur analogique numérique.

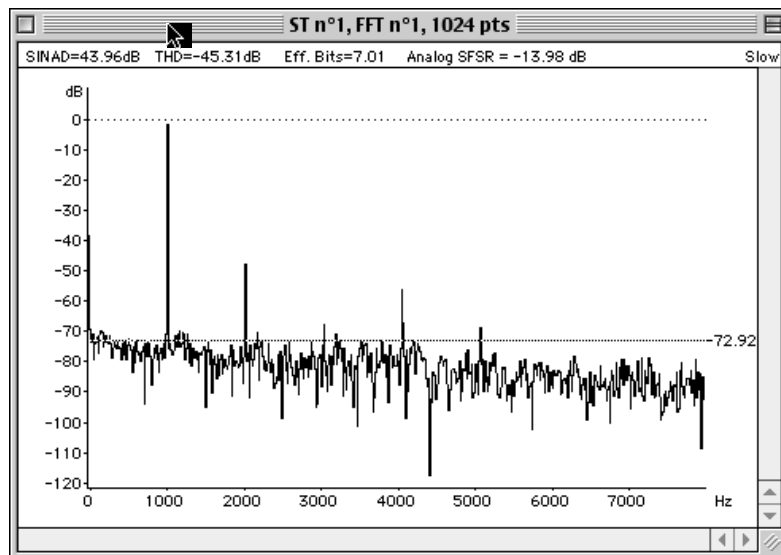


Figure IV- 88 : Spectre du signal reconstitué du convertisseur Analogique numérique.

ST n°1, FFT parameters			
Frequence	Values	dBc	
fin	1.01563 KHz	0.00	THD = -45.31 dB
2fin	2.03125 KHz	-45.89	SINAD = 43.96 dB
3fin	3.04688 KHz	-67.43	SFDR = -45.88 dBc
4fin	4.0625 KHz	-54.71	SNR = 49.70 dB
5fin	5.07813 KHz	-69.32	Eff. bits = 7.01
6fin	6.09375 KHz	-81.00	NB = 0.00
7fin	7.10938 KHz	-81.68	SFSR = -1.85 dB
8fin	7.875 KHz	-77.24	Sample Frequency
9fin	6.85937 KHz	-86.97	16 KHz
10fin	5.84374 KHz	-78.44	Acq. of 1024 points
11fin	4.82812 KHz	-91.23	Type of ADC
12fin	3.81249 KHz	-71.28	Sonia
13fin	2.79687 KHz	-77.09	
14fin	1.78124 KHz	-79.40	

Tableau IV- 6 : Caractéristiques mesurées du convertisseur analogique numérique.

On remarque sur la fenêtre des caractéristiques spectrales une résolution effective de 7 bits. Il faut savoir que l'acquisition n'est pas réalisée en pleine échelle puisque le SFSR (Signal to Full Scale Ratio) est de -2dB. On peut espérer obtenir environ 7.5 bit effectifs.

CONCLUSION

Dans la première partie de ce chapitre nous avons étudié les différentes structures de décimation et nous avons comparé également les différentes architectures du sinus cardinal qui est le bloc principal du filtre de décimation.

Dans la deuxième partie, nous avons présenté en détail les différentes simulations relatives aux différents étages du filtre décimateur. En effet, nous avons commencé par le filtre sinus cardinal qui comporte essentiellement des blocs d'intégration et de dérivation. En suite, nous avons illustré les simulations pour le filtre compensateur ainsi que ceux des filtres demi-bandes.

Dans la troisième partie, nous avons présenté les tests et les résultats de simulation du convertisseur analogique numérique.

Conclusion Générale

Le travail présenté dans cette thèse conduit à la conception d'un convertisseur analogique numérique Sigma Delta. Ce convertisseur est constitué de deux blocs fondamentaux :

- Un modulateur Sigma Delta passe bas d'ordre deux réalisé en technique S²I.
- Un filtre décimateur algorithmique réalisé en langage VHDL.

Le premier chapitre fournit une vue d'ensemble de la technique S²I sur lequel repose le modulateur Sigma Delta passe bas. Cette technique à multi-échantillonnage élimine une grande partie de l'erreur dépendante du signal d'entrée et améliore la linéarité de la cellule mémoire de base. Elle présente l'avantage de ne pas augmenter la surface occupée, la consommation et le niveau de bruit de la cellule mémoire classique. En revanche, la double acquisition nécessite de diminuer au moins d'un facteur deux la fréquence maximale de fonctionnement.

Dans le second chapitre, nous avons détaillé l'évolution des limites des sorties des deux intégrateurs en fonction des gains $(\alpha_1, \alpha_2, \beta_1, \beta_2)$ du modulateur, ainsi nous avons évalué le domaine de convergence du modulateur Sigma Delta d'ordre deux pour des différentes valeurs de $(\alpha_1, \alpha_2, \beta_1, \beta_2)$ données. Enfin, nous avons opté pour une structure particulière du second ordre avec des gains $(\alpha_1 = \alpha_2 = \beta_1 = \beta_2 = 1)$ afin d'avoir l'architecture la plus stable.

Dans le troisième chapitre, deux modèles des cellules mémoires SI et S²I sont présentés et une étude comparative du comportement du modulateur Sigma Delta passe bas vis-à-vis des deux cellules mémoires de base à courants commutés a été effectuée. En effet, on remarque que l'évaluation du modulateur Sigma Delta sous CADENCE nécessite une simulation temporelle sur une durée relativement longue vu la complexité du circuit et engendre un calcul considérable de la distribution fréquentielle de la puissance du signal de sortie. Une des solutions consiste à utiliser les modèles des cellules SI et S²I sous MATLAB pour estimer les performances globales du modulateur avant sa réalisation pratique en fonction des paramètres de chaque modèle élaboré. Ensuite, nous avons développé les différents blocs du modulateur Sigma Delta en technique S²I. Ce modulateur est constitué de deux intégrateurs différentiels entièrement symétriques de type bilinéaire permettant une meilleure exploitation du signal pour une fréquence d'échantillonnage donné, ils possèdent la particularité d'être exigeant en surface occupée et en consommation. Ces deux intégrateurs ont été réalisés à base de cellules mémoires S²I simplement cascodées et à faible tension d'alimentation. Ce modulateur a été intégré en technologie CMOS 0.6 μ m en triple niveau du métal. Les résultats expérimentaux révèlent une fonctionnalité correcte du modulateur. Néanmoins, nous observons un écart de 2 bits entre les résultats obtenus par la simulation et la mesure. Cet écart est dû essentiellement à la saturation dans les intégrateurs et par le bruit amené par les non linéarités du circuit de test et principalement le circuit de conversion tension courant.

Dans le quatrième chapitre, nous avons détaillé les différentes structures des filtres de décimations. Une étude comparative a été élaborée entre la décimation en deux étages et la

décimation en trois étages. Le résultat de cette étude a montré que la réalisation du filtre décimateur en trois étages est plus économique au niveau implémentation car le nombre de coefficients du filtre demi bande est plus réduit. Notre choix s'est porté sur une architecture à trois étages constituée d'un filtre sinus cardinal, de deux filtres demi-bande et d'un filtre correcteur. Les différents blocs du filtre décimateur ont été conçus sous l'environnement SPW. Une fois le bon fonctionnement du filtre validé, on génère le fichier VHDL. En fin, le convertisseur Sigma Delta a été validé par Can Test .

L'objectif fixé dans cette thèse n'est pas dans un cahier des charges bien défini mais plutôt dans l'analyse de la technique des courants commutés pour la réalisation de convertisseur A/N de type Sigma Delta en cherchant à améliorer les performances par rapport aux structures réalisées dans le laboratoire IXL. Il nous a semblé que l'utilisation de la cellule mémoire S²I était une voie intéressante. Nous avons effectivement montré que cette cellule présente une précision supérieure, ce qui nous a encouragé à concevoir un convertisseur Sigma Delta. Nous avons été jusqu'au bout de notre conception, modulateur Sigma Delta et filtre à décimation, sans toutefois pouvoir prétendre que l'objectif est entièrement atteint. En effet, même si notre réalisation est quasiment opérationnelle, sa précision est loin d'atteindre les objectifs que nous laissions espérer la théorie. Les performances en bruit sont conformes mais la distorsion est importante. Nous pensons que le problème réside dans l'étage d'entrée tension courant nécessaire pour la caractérisation.

Les perspectives de ce travail de thèse s'inscrivent donc dans trois axes :

- Révision complète de l'étage d'entrée en prenant l'alternative d'implanter le convertisseur tension courant sur la même puce.
- La poursuite du test de la carte conçue pour la mesure totale du convertisseur Sigma Delta qui est constituée d'un ASIC et de quatre circuits XILINX (FPGA) dans lesquelles le filtre de décimateur a été implémenté.
- Une fois la distorsion maîtrisée, on pourrait envisager l'étude de modulateur d'ordre plus élevé, mais des problèmes de stabilité ne manqueront pas d'apparaître.

Référence Bibliographiques

Bibliographie du chapitre I

[All-87] PE. Allen et DR. Holberg, "CMOS Analog Circuit Design", *HRW Series in electrical and computer Engineering*, M.E Van Valkenburg et M.R Lightner Editors, pp.124-127, pp.211-218, 1987.

[Bat-93] N.C Battersby, "Switched Currents Techniques For Analogue Sampled-Data Signal Processing", *PhD Thesis, Imperial College, London, UK, Feb. 1993*.

[Cha-97] H.W Cha, S. Ogawa, et K. Watanabe, "A clock-feed-through compensated switched current memory cell", *IEICE Transaction Fundamentals*.

[Dau-88] S.J Aubert, D. Vallancourt, et YP Tsividis, "Current Copier Cells", *Electronics Letters*, vol 24, pp.1560-1562, Dec, 1988.

[Eich-89] C. Eichenberger, et W. Guggenbuhl, "Dummy transistor compensation of analog MOS switches", *IEEE Journal Solide-state Circuits*, vol 24, pp.1143-1146, Aug, 1989.

[Gre-99] Alan B. Grebene , "Bipolar and MOS analog integrated circuit design", *A Wiley Interscience Publication, John Wiley and SONS*, 1999.

[Gro-89] D.W.J. Groeneved, H.J Schouwenaars., H.A.H Termeer, et , C.A.A Bastiaansen, "A Self-Calibration Technique For Monolithic High-Resolution D/A-Converters", *IEEE Journal Solid-State Circuits*, vol 24, pp.1517-22, Dec, 1989.

[Hug-89] J.B. Hughes, N.C Bird et I.C. Macbeth, "Switched Currents-A-New Technique For Analog Sample-Data Signal Processing", *Proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*, pp.1584-1587, May, 1989.

[Hug-90] J.B Hughes, IC Macbeth, et D.M Pattullo, "New Switched-Current Integrator", *Electronics Letters*, vol 26, N°11, pp. 694-696.

[Hug-90-1] J.B Hughes, IC Macbeth, et D.M Pattullo, "Second Generation Switched Current Signal Processing", *Proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*, pp.2805-2808, May 1990.

[Hug-90-2] J.B Hughes, IC Macbeth, et D.M Pattullo, "Switched-Current System Cells", *Proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*, pp.303-306, May 1990.

[Hug-92-2] JB Hughes, et K.W Moulding, “Switched Current Video Signal Processing”, *Proceeding of IEEE Custom Integrated Circuits Conference (CICC)*, pp. 24.4.1-24.4.4, May 1992.

[Hug-93] J.B .Hughes et K.W. Moulding, “S²I: A two-step Approach to Switched Current”, *Proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*, pp.1235-1238, May, 1993.

[Hod-80] D.A Hodges, “Analog switches and passive elements in MOS LSI”, *Analog MOS Integrated Circuits*, 1980.

[Mac-83] D. MacQuigg, “Residual charge on a switched capacitor”, *IEEE Journal Solide-State Circuits*, pp.811-813, Dec. 1983.

[Nai-88] D.G Nairn, CAT salma, “High- Resolution Current-Mode A/D Converters Using Active Current Mirrors”, *Electronics Letters*, vol 24, pp. 1331-1332, Oct.1988.

[Queir-93] A.C.M Queiroz, P.R.M Pinheiro, “Switching Sequence Effects In Switched-Current Filters”, *IEEE, ISCASS*, pp.982-985, 1993.

[Staf-74] K.R stafford, P.R Gray, et R.A Blanchard, “A complete monolithic sample and hold amplifier”, *IEEE Journal Solid-State Circuit*, pp.381-387, Dec, 1974.

[Sua-75] R.E. Suarez, P.R. Gray et D.A Hodges, “All-MOS charge redistribution analog to digital conversion techniques-part2”, *IEEE Journal Solid-state Circuits*, vol. SC-10, pp.379-385, Dec. 1975.

[She-84] B.] Sheu et G. Hu, “Switch-induced error voltage on a switched capacitor”, *IEEE Journal Solide state Circuits*, Vol 19, pp.519-525, Aug.1984.

[Tan-91] N. Tan,. T. Holmberg, H.Traff, S. Eriksson, “Clock Feedthrough Cancellation Schemes For Dynamic current Mirrors”, 1991-12-02, *Report LiTH-ISY-I-1293*.

[Tou-93] C. Toumazou, J.B Hugue, D.G Haigh, et N.C Battersby, “Switched Current An Analogue Technique For Digital Technology”, *IEEE Circuits and systems*, Series 5,1993.

[Tou-93] C. Toumazou, F.J. Lidgey, et D.G. Haigh, “Analog IC Design: The current–Mode Approach”, *IEEE Circuit And Systems*, Series 2, 1990.

[Tou-90-2] C.Toumazou, N.C .Battersby, et C. Maglaras, “ High-performance Algorithmic Switched current Memory Cell”, *Electronics Letters* .vol26, 26, pp1593-1595,1990.

[Tou-90-3] C. Toumazou, J.B. Hughes et C.M. Pattullo, "Regulated Cascode Switched-Current Memory Cell", *Electronics Letters*, vol.26, N° 5, pp.303-305, March 1990.

[Weg-87] G. Wegman, E.A. Vittoz et F. Rahali, "Charge injection in analog MOS switches", *IEEE Journal .Solide state Circuits*, Dec. 1987.

[Will-85] W.B. Wilson, H.Z. Massoud, E. Swanson, R. George et R.B. Fair, "Measurement and modelling of charge feedthrough in n-channel MOS analog switches", *IEEE journal solid circuit*, vol20, pp1206-1212, december 1985.

[Will-93] W.R White, J.B ,Hugue , "Switched Current Limitations And Non-Ideal Behavior", *IEEE Circuits And Systems*, 1993.

[Wor-00] A. Worapist, J.B. Hugues, et C. Toumazou, "Low-voltage Class AB Two-step sampling Switched-Currents", *IEEE International Symposium On Circuits and systems*, pp28-31, May, 2000, Geneva, Switzerland.

Bibliographie du chapitre II

[Cand-92] J.Candy , G.C.Temes, "Oversampling Methods for A/D and D/A Conversion" *IEEE press*1992.

[Cand-85] J. Candy, "A use of double integration in Sigma Delta Modulation", *IEEE transaction on communication vol33*, March1985.

[Gab-96] S.R, Norsworthy, R. Schreier, G.C.Temes, " Delta-Sigma Data Converters, theory, design and simulation". *IEEE press*1996.

[Hein-93] S.Hein,A.Zakhor, " On the stability of Sigma-Delta modulator" *IEEE Trans. OnSignal Processing vol41,n07,July1993*

[Pin-93] S.C.Pinault, P.V.Lopresti, "On the behavior of the double loop Sigma-Delta modulator" *IEEE Trans.on circuits and systems II: Analog and Digital processing Vol40,n08, August 1993*.

[Kus-98] R. KUSCH, " Decimation Low pass Filters for Sigma-Delta Modulators a comparative study " *University of Rhode Island*, 1998.

[Cro-81] R. E. Crochiere, L. R. Rabiner, “Interpolation and Decimation of Digital Signals” A tutorial Review” *Proc of the IEEE*, vol.69, pp 300-331, March 1981

[Kai-77] J. KAISER and R. Hamming, “ Sharpening the Response of a Symmetric Nonrecursive Filter by Multiple use of the same filter”. *IEEE transactions on Aoustics, Speech and Signal Processing*, Vol 25, pp 415-422, 1977.

[Ron-81] E. Ronald, Crochiere, Lawrence R. Rabiner, “Interpolation and Decimation of Digital Signals” *A tutorial Review*, *Proc of the IEEE*, vol.69, pp 300-331, March 1981.

[Per-96] M. Pervez, H. V. Sorensen, and J. Der Spiegel, “An Overview of Sigma-Delta Converters”, *IEEE Signal processing magazine*, pp. 61-84, Jan, 1996.

Bibliographie du chapitre III

[All-82] D. J. Allstot, “ A precision Variable-Supply CMOS Comparator”, *EEE JSSC*, vol-SC-17, N^o.6, pp. 1080-1087, December 1982.

[Bou-00-1] S. Boujelben, D. Dallet, Ph. Marchegay, “Charge injection phenomena in the S²I cell applied to second order sigma delta modulator”, *IMEKO'2000, 5th Word Congress of International Measurement Confederation*, 26-28 September, Wien, Austria.

[Bou-00-2] S. Boujelben, D. Dallet, Ph. Marchegay, “Behavioral Study of second order Sigma Delta Using SI And S²I Techniques”, *DCIS'2000, XV International Conference on Design of Circuits and Integrated Systems*, 21-24 November, Montpellier, France.

[Bou-01-1] S. Boujelben, D. Dallet, Ph. Marchegay, “A Full Switched Current S²I Second Order Sigma Delta”, *IMTC'2001, IEEE Instrumentation and Measurement Technology Conference*, Budapest, Hungary, May 21-23, 2001.

[Brac-94] M. Bracey, W. R. White, J. B. Hugues, “A Switched-current $\Sigma\Delta$ Converter for Direct Photodiode Interfacing”, *proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*, pp. 287-290, 1994.

[Craw-92] P. J. Crawley, G. W. Roberts, “ Switched Current Sigma Delta Modulation for A/D conversion” *Proc. IEEE International Symposium on Circuits and Systems*, pp. 1320-1323, May 1992.

[Dal-96] D.dallet, S. Le Masson, M. Benkais, P.Marchegay, “An Overview of the different methodologies for the spectral analysis in the dynamic characterization of A/D converters”, *International Workshop on ADC modeling*, pp.152-157, May 1996, Smolenice, Slovak republic.

[Dow-96] A.B. Dowlatabadi, A.Connelly, “A Generic Voltage Comparator Analog Cell Produced in Standard Digital Technologies”, *39 th MIDWEST Symposium On Circuits and Systems*,1996.

[Geo-00] T.Georgantas, S.Bouras, Y.Papananos and D. Dervenis “Switched Current $\Sigma\Delta$ Modulator for Basaband Channel Applications ”*IEEE International Symposium on Circuits and System*, May 28-31, Geneva, Switzerland,2000.

[Gor-94] P.N GORAN, “ Simulation à Temps Discret de Circuits à Mémoire de Courant et Application à l ‘Etude de Modulateur Sigma Delta”. *Université des Sciences et Techniques de Lille Flandre-Artois, Thèse 1994*.

[Hug-93] John B Hughes, Kenneth W. Mouling,“S²I A two-step approach to switched-currents”, *proceeding of IEEE International Symposium on Circuit And Systems (ISCAS)*,pp.1235-1238,1993.

[Hor-00] N.Horta, M.Fino, J.Goes “Symbolic Techniques Applied to Switched Current ADCs Synthese” *IEEE International Symposium on Circuits and System*, May 28-31, Geneva, Switzerland,2000.

[Lou-96] M Loulou, H.Traff et Ph. Marchegay, “3V Sigma-Delta Modulator Using a Pseudo Bilinear Switched Current Integrator”, *IEEE-CAS region Workshop on analog and Mixed IC design*,pp.98-101, Sep1996.

[Lou-98] M. Loulou,“Etude de la technique des courants commutés, Application à la conversion analogique-numérique sigma delta *Université de bordeaux1 thèse 1998*.

[Moe-96] N. MOENECLAY, “Convertisseurs Analogique numérique A Haute résolution Utilisant la Technique des mémoires de courant” ., *Université des Sciences et Techniques de Lille Flandre-Artois, Thèse 1996*.

[Oli-97] O.oliali,“Technique des Courants Commutés pour les Convertisseur à Sur échantillonnage ou Souéchantillonnage”, *L’école Supérieur des Télécommunications de Paris, Thèse 1997*.

[O'Con-97] I.O'CONNOR, "La Conception automatisée de Cellules a courant commutes" *Université des Sciences et Technologies de Lille, Thèse 1997.*

[Pat-94] S.V.Pattamatta, P.Manapragada, V.Dalal, R.Schreier, "A switched-Current Bandpass Delta-Sigma Modulator", *Proceeding of IEEE International Symposium on Circuit And systems (ISCAS)*, pp.477-480, 1994.

[Rif-99] P. Riffaud, "Etude du phénomène d'injection de charges dans les cellules a courant commutes pour la réalisation d'un circuit de compensation optimise. Application a la conception d'un convertisseur numérique analogique algorithmique. *Université de bordeaux:1 thèse 1999.*

[Raz-92] B.Razavi, .Wooley, "Design Technique for High-Speed, High-Resolution Comparators", *IEEE JSSC*, vol.27, N°12, pp.1916-1926, December 1992.

[Sin-94] P. M. Sinn and G. W. Roberts, "A Comparison of First and Second Generation switched current cells", *IEEE ISCAS'94 Proceedings, London*, pp. 301-304, May 1994.

[Tou-93] Toumazou, J.B Hugue, and N. C. Batters by, "The evolution of Analogue Sampled Data Signal Processing in switched-currents: an analogue technique for digital technology", *Peter Peregrinus on behalf of the IEEE, London*, pp. 9-25, 1993.

[Tou-93-1] C. Toumazou, J.B Hugue, and N. C. Batters, "by GaAs MESFET switched-current circuits in switched-currents: an analogue technique for digital technology", *Peter Peregrinus , London*, pp. 548-575, 1993.

[Traf-92] H. Traff, "Novel Approach to High Speed CMOS Current Comparators", *IEEE Electron. Lett*, vol.28, pp. 301-311, Jan.1992.

[Tan-94] N. Tan "Oversampling A/D converters and current-mode Techniques", Linkoping studies in science and technology, *dissertation N°. 360, 1994.*

[Tan-94-1] N.Tan, S.Eriksson, "Low-Voltage Fully Differential Class AB SI Circuits with Common-Mode Feedforward", *Elec.Letters*, vol 30, N°.25, pp. 2090-2091, 8th december 1994.

[Tan-95] N.Tan, "Fourth order SI Delta Sigma modulators for high frequency applications", *Elec.Letters*, vol 31, N°.25, pp. 333-334, 2th december 1995.

[Tang-94] A.T.K.Tang, C.Toumazou, "High Performance CMOS Current Comparator", *Electronics. Letters*, vol30, pp.5-6, 1994.

[Weg-87] G. Wegman, E.A. Vittoz et F. Rahali, "Charge injection in analog MOS switches", *IEEE Journal Solide state Circuits*, Dec. 1987.

[Wu-88] J.T.Wu, B.A.Wooley, "A 100MHz Pipelined CMOS Comparator", *IEEE C*, vol.23, , N° 6, pp.1379-1385, December 1988.

[Yin-92] G. M. Yin, F.Opt Ende, W. Sansen, "A High Speed CMOS Comparator with 8-bit Resolution", *IEEE JSSC*, vol.27, N°2, pp. 208-211, June 1992.

Bibliographie du chapitre IV

[Bar-99] C. J.BARRETT. "Low-power decimation filter Design for multi-standard transceiver Applications". *University of CALIFORNIA, Berkley 1999*.

[Bou-01-2] S. Boujelben, Ch. Rebai, D. Dallet, Ph. Marchegay "Design Simulation of decimation filter for Sigma Delta Converters" *IWDAC '2001 ,6th International Workshop on ADC Modelling And Testing*, September 2001, Lisbon.

[Bou-01-3] S. Boujelben, Ch. Rebai, D. Dallet, Ph. Marchegay "Design and Implementation of an Audio Analog to Digital Converter Using Oversampling Technique" *IEEE International Conference on Electronics, Circuits and Systems (ICECS'2001)*, September 2001, Malta

[Cand-92] C. CANDY et Gabor C. TEMES "Oversampling Methods for A/D and D/A Conversion" *IEEE press.*, 1992.

[Des-97] E. Descarpentires "Synthèse Comportementale de chaîne de décimation Associées à un banc de convertisseurs Delta-Sigma " *Rapport de stage ENSERB-C.N.E.T November 1997.*[

[Dij-88] E. Dijkstra, O. Nys, C. Piguet, et M. Degrauwe "On the use of modulo arithmetic comb filters in sigma delta modulators". *IEEE Proc. ICASSP'88*, pp. 2001-2004. 1988.

[Eug-81] Eugene B.HOGENAUER "An Economical Class of Digital Filters For Decimation And Interpolation", 1981.

[Pro-96] John G. PROAKIS, Dimitris G. MANOLAKIS "Digital Signal Processing – Principles, Algorithms and Applications", Chapter 10, pp 808, Third Edition, Prentice Hall, 1996.

[Reb-00] Ch. Rebai “Etude et réalisation de filtres décimation dans la conversion Analogique Numérique $\Sigma\Delta$ ” *Rapport de DEA Laboratoire IXL Juin 2000.*

[Shu-84] Shuni chu et C.Sidney Burrus “Multirate Filter Design Using Comb Filters”. *IEEE Transactions on circuits and systems, vol.CAS-31, pp 913-924. 1984.*

Annexe A

Calcul de l'erreur d'injection de charge dans la cellule mémoire SI

STUDENT > restart;

STUDENT > idinj:=(kn*w*vinj^2)/(2*L)+(kn*w*(vgs0-vtm)*vinj)/L;

$$idinj := \frac{1}{2} \frac{kn w \text{vinj}^2}{L} + \frac{kn w (vgs0 - vtm) \text{vinj}}{L}$$

STUDENT > vgs:=sqrt(Ip*L/kn/w)*(1+Ie/2/Ip)+vtm;

$$vgs := \sqrt{\frac{Ip L}{kn w}} \left(1 + \frac{1}{2} \frac{Ie}{Ip} \right) + vtm$$

STUDENT > vinj:=-c1*(VH-vgs-Vti)/(cgsm+cd);

$$\text{vinj} := - \frac{c1 \left(VH - \sqrt{\frac{Ip L}{kn w}} \left(1 + \frac{1}{2} \frac{Ie}{Ip} \right) - vtm - Vti \right)}{cgsm + cd}$$

STUDENT > idinj:=(kn*w*vinj^2)/(2*L)+(kn*w*(vgs0-vtm)*vinj)/L;

$$idinj := \frac{1}{2} \frac{kn w c1^2 \left(VH - \sqrt{\frac{Ip L}{kn w}} \left(1 + \frac{1}{2} \frac{Ie}{Ip} \right) - vtm - Vti \right)^2}{(cgsm + cd)^2 L} - \frac{kn w (vgs0 - vtm) c1 \left(VH - \sqrt{\frac{Ip L}{kn w}} \left(1 + \frac{1}{2} \frac{Ie}{Ip} \right) - vtm - Vti \right)}{(cgsm + cd) L}$$

STUDENT > idinj:=collect(idinj,Ie);

$$idinj := \frac{1}{8} \frac{c1^2 Ie^2}{Ip (cgsm + cd)^2} + \left(-\frac{1}{2} \frac{kn w c1^2 \left(VH - \sqrt{\frac{Ip L}{kn w}} - vtm - Vti \right) \sqrt{\frac{Ip L}{kn w}}}{Ip (cgsm + cd)^2 L} + \frac{1}{2} \frac{kn w (vgs0 - vtm) c1 \sqrt{\frac{Ip L}{kn w}}}{Ip (cgsm + cd) L} \right) Ie + \frac{1}{2} \frac{kn w c1^2 \left(VH - \sqrt{\frac{Ip L}{kn w}} - vtm - Vti \right)^2}{(cgsm + cd)^2 L} - \frac{kn w (vgs0 - vtm) c1 \left(VH - \sqrt{\frac{Ip L}{kn w}} - vtm - Vti \right)}{(cgsm + cd) L}$$

Application numérique

```

[ STUDENT > restart;
[ STUDENT > L:=2e-6;
                                 $L := .2 \cdot 10^{-5}$ 
[ STUDENT > kn:=58e-6;
                                 $kn := .000058$ 
[ STUDENT > VGS1:=1.3;
                                 $VGS1 := 1.3$ 
[ STUDENT > VT1:=850.7e-6;
                                 $VT1 := .0008507$ 
[ STUDENT > VTi:=1.014;
                                 $VTi := 1.014$ 
[ STUDENT > CGS1:=3e-12;
                                 $CGS1 := .3 \cdot 10^{-11}$ 
[ STUDENT > C1:=0.5*Cgc+Crec;
                                 $C1 := .5 \cdot Cgc + Crec$ 
[ STUDENT > Cox:=2.715e-3;
                                 $Cox := .002715$ 
[ STUDENT > L0:=0.6e-6;
                                 $L0 := .6 \cdot 10^{-6}$ 
[ STUDENT > W0:=1e-6;
                                 $W0 := .1 \cdot 10^{-5}$ 
[ STUDENT > C1:=0.5*W0*L0*Cox;
                                 $C1 := .81450 \cdot 10^{-15}$ 
[ STUDENT > Ip:=120e-6;
                                 $Ip := .000120$ 
[ STUDENT > VH1:=3.3;
                                 $VH1 := 3.3$ 
[ STUDENT > W:=26e-6;
                                 $W := .000026$ 
[ STUDENT > L:=6e-6;  $L := .6 \cdot 10^{-5}$ 
                                 $L := .6 \cdot 10^{-5}$ 
[ STUDENT > Id:=9.895e-8;
                                 $Id := .9895 \cdot 10^{-7}$ 
[ STUDENT > Crec0:=W0*Cox*Id;
                                 $Crec0 := .26864925 \cdot 10^{-15}$ 
[ STUDENT > VGSm:=sqrt(Ip*L/kn/W) * (1+Ie/2/Ip) +VGS1;
                                 $VGSm := 1.990980160 + 2879.083998 \cdot Ie$ 
[ STUDENT > Vinj:=-C1*(VH1-VGSm-VTi)/CGS1+Crec0 (VGSm+VTi)/CGS1/2;
                                 $Vinj := -.00003532301156 + .7816713055 \cdot Ie$ 
[ STUDENT > Idinj:=(kn*W*Vinj^2)/(2*L)+(kn*W*(VGS1-VT1)*Vinj)/L;
                                 $Idinj := .0001256666667 (-.00003532301156 + .7816713055 \cdot Ie)^2 - .1153365292 \cdot 10^{-7}$ 
                                 $+ .0002552309426 \cdot Ie$ 

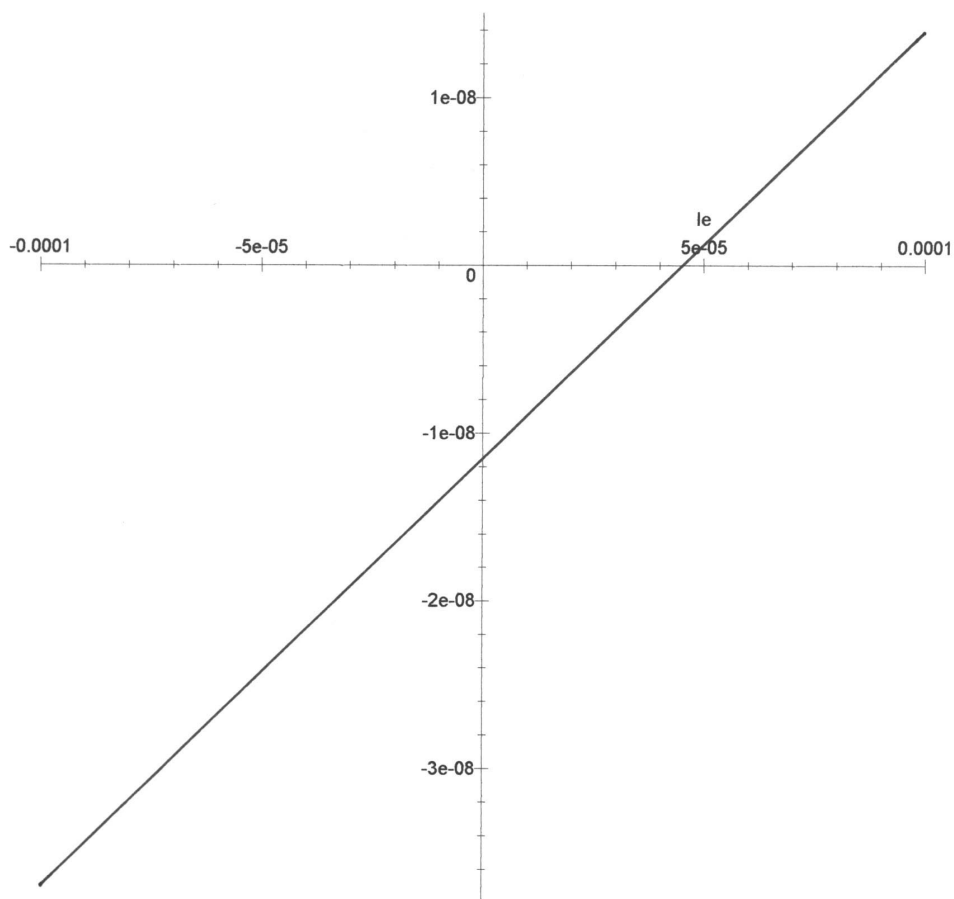
```

Maple V Release 4 - Student Edition

```
STUDENT > Idinj:=collect(Idinj,Ie);
```

$$Idinj := .00007678359377 Ie^2 + .0002552240030 Ie - .1153349612 \cdot 10^{-7}$$

```
STUDENT > plot(Idinj,Ie=-100e-6..100e-6);
```



```
STUDENT >
```

Calcul de l'erreur d'injection de charge dans la cellule mémoire S²I

```

STUDENT > restart;
STUDENT > Idinj := (Kn*W1*Vinj^2) / (2*L1) + (Kn*W1*(VGS1-VT1)*Vinj) / L1;

$$Idinj := \frac{1}{2} \frac{Kn W1 Vinj^2}{L1} + \frac{Kn W1 (VGS1 - VT1) Vinj}{L1}$$

STUDENT > VGS1 := sqrt(J*L1/Kn/W1) * (1+Ie/2/J) + VT1;

$$VGS1 := \sqrt{\frac{J L1}{Kn W1}} \left(1 + \frac{1}{2} \frac{Ie}{J}\right) + VT1$$

STUDENT > Vinj := C1*(VH-VGS1-VT1i)/CGS1;

$$Vinj := \frac{C1 \left( VH - \sqrt{\frac{J L1}{Kn W1}} \left(1 + \frac{1}{2} \frac{Ie}{J}\right) - VT1 - VT1i \right)}{CGS1}$$

STUDENT > Idinj := (Kn*W1*Vinj^2) / (2*L1) + (Kn*W1*(VGS1-VT1)*Vinj) / L1;

$$Idinj := \frac{1}{2} \frac{Kn W1 C1^2 \left( VH - \sqrt{\frac{J L1}{Kn W1}} \left(1 + \frac{1}{2} \frac{Ie}{J}\right) - VT1 - VT1i \right)^2}{CGS1^2 L1} + \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} \left(1 + \frac{1}{2} \frac{Ie}{J}\right) C1 \left( VH - \sqrt{\frac{J L1}{Kn W1}} \left(1 + \frac{1}{2} \frac{Ie}{J}\right) - VT1 - VT1i \right)}{CGS1 L1}$$

STUDENT > Idinj := collect(Idinj, Ie);

$$Idinj := \left( \frac{1}{8} \frac{C1^2}{J CGS1^2} - \frac{1}{4} \frac{C1}{J CGS1} \right) Ie^2 + \left( -\frac{1}{2} \frac{Kn W1 C1^2 \%1}{J CGS1^2 L1} \sqrt{\frac{J L1}{Kn W1}} - \frac{1}{2} L1 C1 + \frac{1}{2} \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{J CGS1 L1} \right) Ie + \frac{1}{2} \frac{Kn W1 C1^2 \%1^2}{CGS1^2 L1} + \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{CGS1 L1}$$


$$\%1 := VH - \sqrt{\frac{J L1}{Kn W1}} - VT1 - VT1i$$

STUDENT > VSG2 := sqrt(J*L2/Kp/W2) * (1+Idinj/2/J) + VT2;

$$VSG2 := \sqrt{\frac{J L2}{Kp W2}} \left( 1 + \frac{1}{2} \left( \left( \frac{1}{8} \frac{C1^2}{J CGS1^2} - \frac{1}{4} \frac{C1}{J CGS1} \right) Ie^2 + \left( -\frac{1}{2} \frac{Kn W1 C1^2 \%1}{J CGS1^2 L1} \sqrt{\frac{J L1}{Kn W1}} - \frac{1}{2} L1 C1 + \frac{1}{2} \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{J CGS1 L1} \right) Ie + \frac{1}{2} \frac{Kn W1 C1^2 \%1^2}{CGS1^2 L1} + \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{CGS1 L1} \right) / J \right) + VT2$$


$$\%1 := VH - \sqrt{\frac{J L1}{Kn W1}} - VT1 - VT1i$$

STUDENT > Vinj1 := C2*(VDD-VSG2-VL-VT2i)/CGS2;

$$Vinj1 := C2 \left( VDD - \sqrt{\frac{J L2}{Kp W2}} \left( 1 + \frac{1}{2} \left( \left( \frac{1}{8} \frac{C1^2}{J CGS1^2} - \frac{1}{4} \frac{C1}{J CGS1} \right) Ie^2 + \left( -\frac{1}{2} \frac{Kn W1 C1^2 \%1}{J CGS1^2 L1} \sqrt{\frac{J L1}{Kn W1}} - \frac{1}{2} L1 C1 + \frac{1}{2} \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{J CGS1 L1} \right) Ie + \frac{1}{2} \frac{Kn W1 C1^2 \%1^2}{CGS1^2 L1} + \frac{Kn W1 \sqrt{\frac{J L1}{Kn W1}} C1 \%1}{CGS1 L1} \right) / J \right) - VL - VT2i \right) / CGS2$$


```

$$\begin{aligned}
& \left. - VT2 - VL - VT2i \right) / CGS2 \\
\%1 &:= VH - \sqrt{\frac{JL1}{KnW1}} - VT1 - VT2i \\
\text{STUDENT} &> Idinj1 := (Kp*W2*Vinj1^2) / (2*L2) + (Kp*W2*(VSG2-VT2)*Vinj1) / L2; \\
Idinj1 &:= \\
& \frac{1}{2} \frac{KpW2C2^2 \left(VDD - \sqrt{\frac{JL2}{KpW2}} \%2 - VT2 - VL - VT2i \right)^2}{CGS2^2 L2} + \frac{KpW2 \sqrt{\frac{JL2}{KpW2}} \%2 C2 \left(VDD - \sqrt{\frac{JL2}{KpW2}} \%2 - VT2 - VL - VT2i \right)}{CGS2 L2} \\
\%1 &:= VH - \sqrt{\frac{JL1}{KnW1}} - VT1 - VT2i \\
\%2 &:= 1 + \frac{1}{2} \left(\left(\frac{1}{8} \frac{CI^2}{JCGS1^2} - \frac{1}{4} \frac{CI}{JCGS1} \right) Ie^3 + \left(-\frac{1}{2} \frac{KnW1CI^2 \%1 \sqrt{\frac{JL1}{KnW1}}}{JCGS1^2 L1} + \frac{-\frac{1}{2} L1 CI + \frac{1}{2} \frac{KnW1 \sqrt{\frac{JL1}{KnW1}} CI \%1}{J}}{CGS1 L1} \right) Ie \right. \\
& \left. + \frac{\frac{1}{2} \frac{KnW1CI^2 \%1^2}{CGS1^2 L1} + \frac{KnW1 \sqrt{\frac{JL1}{KnW1}} CI \%1}{CGS1 L1}}{J} \right) \\
\text{STUDENT} &> Idinj1 := collect(Idinj1, Ie); \\
Idinj1 &:= \left(\frac{1}{8} \frac{C2^2 \%5^2}{JCGS2^2} - \frac{1}{4} \frac{\%5^2 C2}{JCGS2} \right) Ie^4 + \left(-\frac{1}{2} \frac{\%4 C2 \%5}{JCGS2} + \frac{1}{4} \frac{C2^2 \%4 \%5}{JCGS2^2} \right) Ie^3 \\
& + \left(-\frac{\frac{1}{2} L2 \%2 C2 \%5 - \frac{1}{4} \frac{L2 \%4^2 C2}{J} + \frac{1}{2} \frac{KpW2 \sqrt{\frac{JL2}{KpW2}} \%5 C2 \%3}{J}}{CGS2 L2} + \frac{1}{2} \frac{KpW2 C2^2 \left(-\frac{\%3 \sqrt{\frac{JL2}{KpW2}} \%5}{J} + \frac{1}{4} \frac{L2 \%4^2}{J KpW2} \right)}{CGS2^2 L2} \right) Ie^2 \\
& + \left(-\frac{\frac{1}{2} L2 \%2 C2 \%4 + \frac{1}{2} \frac{KpW2 \sqrt{\frac{JL2}{KpW2}} \%4 C2 \%3}{J}}{CGS2 L2} - \frac{1}{2} \frac{KpW2 C2^2 \%3 \sqrt{\frac{JL2}{KpW2}} \%4}{JCGS2^2 L2} \right) Ie + \frac{1}{2} \frac{KpW2 C2^2 \%3^2}{CGS2^2 L2} \\
& + \frac{KpW2 \sqrt{\frac{JL2}{KpW2}} \%2 C2 \%3}{CGS2 L2} \\
\%1 &:= VH - \sqrt{\frac{JL1}{KnW1}} - VT1 - VT2i \\
\%2 &:= 1 + \frac{\frac{1}{2} \frac{KnW1CI^2 \%1^2}{CGS1^2 L1} + \frac{KnW1 \sqrt{\frac{JL1}{KnW1}} CI \%1}{CGS1 L1}}{J} \\
\%3 &:= VDD - \sqrt{\frac{JL2}{KpW2}} \%2 - VT2i - VT2 - VL \\
\%4 &:= -\frac{1}{2} \frac{KnW1CI^2 \%1 \sqrt{\frac{JL1}{KnW1}}}{JCGS1^2 L1} + \frac{-\frac{1}{2} L1 CI + \frac{1}{2} \frac{KnW1 \sqrt{\frac{JL1}{KnW1}} CI \%1}{J}}{CGS1 L1} \\
\%5 &:= \frac{1}{8} \frac{CI^2}{JCGS1^2} - \frac{1}{4} \frac{CI}{JCGS1}
\end{aligned}$$

Application numérique

```

[
STUDENT > restart;

STUDENT > L:=2e-6;
L := .2 10-5

STUDENT > kn:=58e-6;
kn := .000058

STUDENT > VGS1:=1.3;
VGS1 := 1.3

STUDENT > VT1:=850.7e-6;
VT1 := .0008507

STUDENT > VTi:=1.014;
VTi := 1.014

STUDENT > CGS1:=3e-12;
CGS1 := .3 10-11

STUDENT > C1:=0.5*Cgc+Crec;
C1 := .5 Cgc + Crec

STUDENT > Cox:=2.715e-3;
Cox := .002715

STUDENT > Lo:=0.6e-6;
Lo := .6 10-6

STUDENT > Wo:=1e-6;
Wo := .1 10-5

STUDENT > c1:=0.5*Wo*Lo*Cox;
c1 := .81450 10-15

STUDENT > Ip:=120e-6;
Ip := .000120

STUDENT > VH1:=3.3;
VH1 := 3.3

STUDENT > VH2:=0;
VH2 := 0

STUDENT > L1:=2e-6;
L1 := .2 10-5

STUDENT > W1:=16e-6;
W1 := .000016

STUDENT > Kp:=15e-6;
Kp := .000015

STUDENT > Vi=-830e-3;
Vi := -.830

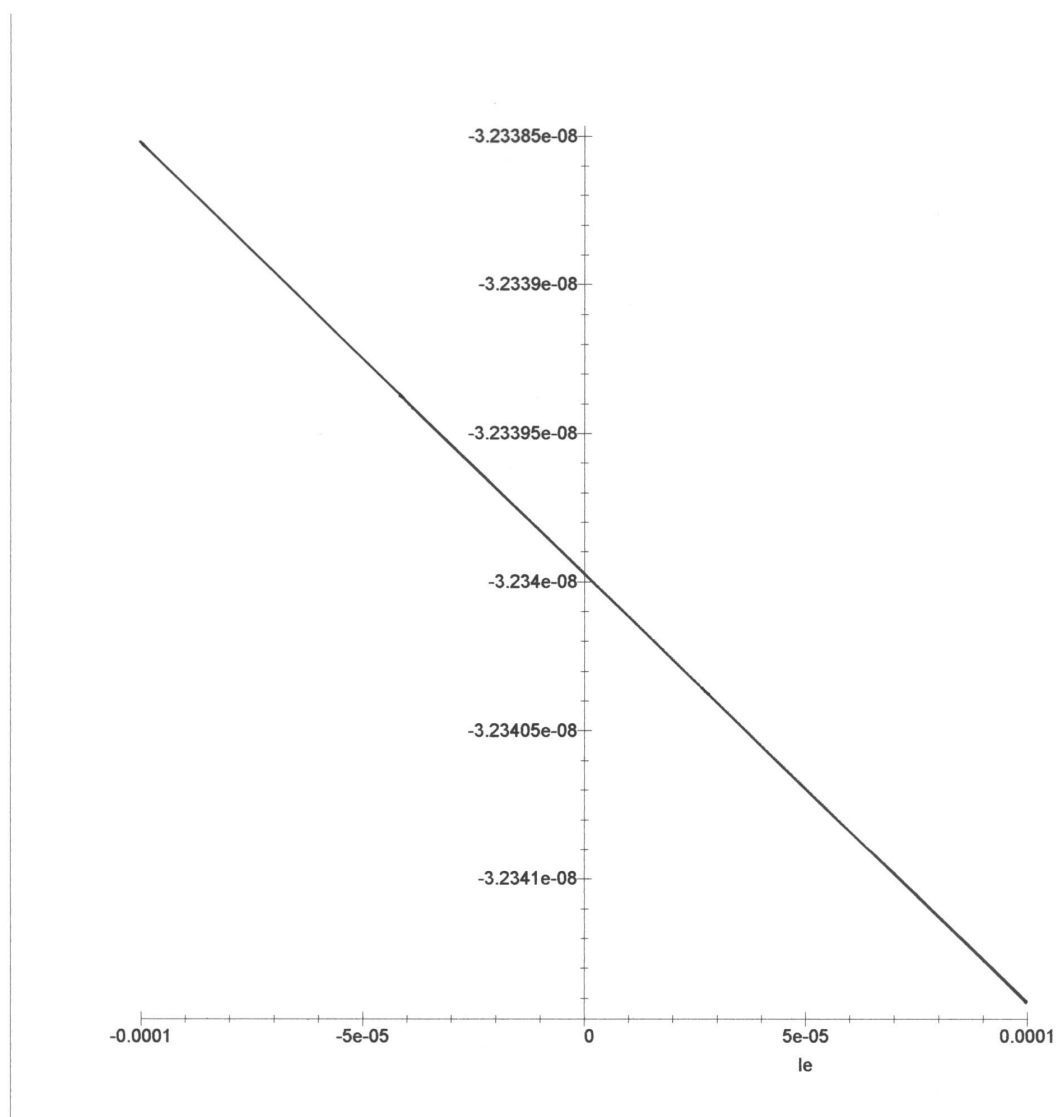
STUDENT > VGS2:=-1.285;

```

```

[
    VGS2 := -1.285
STUDENT > VTi1 := -1.015;
    VTi1 := -1.015
STUDENT > CGS2 := 6e-12;
    CGS2 := .6 10-11
STUDENT > W := 26e-6;
    W := .000026
STUDENT > ld := 9.895e-8;
    ld := .9895 10-7
STUDENT > Crec0 := Wo*Cox*ld;
    Crec0 := .26864925 10-15
STUDENT > ld1 := 1e-6;
    ld1 := .1 10-5
STUDENT > crec1 := Wo*Cox*ld1;
    crec1 := .2715 10-14
STUDENT > VGSm := sqrt(Ip*L/kn/W) * (1+Ie/2/Ip) + VGS1;
    VGSm := 1.698937581 + 1662.239921 Ie
STUDENT > Vinj := -c1*(VH1-VGSm-VTi)/CGS1+Crec0(VGSm+VTi)/CGS1/2;
    Vinj := -.0001146125718 + .4512981386 Ie
STUDENT > Idinj := (kn*W*Vinj^2)/(2*L) + (kn*W*(VGSm-VTi)*Vinj)/L;
    Idinj := .0003770000000 (-.0001146125718 + .4512981386 Ie)2 - .1122697272 10-6
    + .0004420729602 Ie
STUDENT > Idinj := collect(Idinj, Ie);
    Idinj := .00007678359373 Ie2 + .0004420339600 Ie - .1122647749 10-6
STUDENT > VGSm1 := sqrt(Ip*L1/Kp/W1) * (1+Idinj/2/Ip) - 0.830;
    VGSm1 := .1695322301 + .3199316406 Ie2 + 1.841808167 Ie
STUDENT > Vinj1 := -.81450*10-15 * (VH2-VH1-VGSm1-VTi1)/CGS2+crec1(
    VGSm1-VTi1)/CGS2/2;
    Vinj1 := .0005594527503 + .00004343072022 Ie2 + .0002500254587 Ie
STUDENT > Idinj2 := (Kp*W1*Vinj1^2)/(2*L1) + (Kp*W1*(VGSm1+0.803)*Vinj1
    )/L1;
    Idinj2 := .00006000000000 (.0005594527503 + .00004343072022 Ie2 + .0002500254587 Ie)2
    - .3235874708 10-7 - .2512032858 10-8 Ie2 - .1446147253 10-7 Ie
STUDENT > Idinj2 := collect(Idinj2, Ie);
    Idinj2 := .1131736475 10-12 Ie4 + .1303054289 10-11 Ie3 - .2505366402 10-8 Ie2
    - .1444468724 10-7 Ie - .3233996784 10-7
STUDENT > plot(Idinj2, Ie=-100e-6..100e-6);

```



Annexe B

B1. Recherche des paramètres β_n et β_0 pour une entrée sinusoïdale

Soit la partie alternative :

$$v_p = A \sin\left(p \frac{2\pi f_B}{F_e} + \phi_k\right)$$

que l'on peut écrire sous forme, lorsque l'on somme tous les échantillons :

$$\begin{aligned} \sum_{p=0}^{n-1} v_p &= A \sum_{p=0}^{n-1} \sin\left(p \frac{2\pi f_B}{F_e} + \phi_k\right) \\ &= \frac{A}{4\sin^2\left(\frac{1}{2} \frac{2\pi f_B}{F_e}\right)} \left\{ \sin(\phi_k) + \sin\left(\phi_k - \frac{2\pi f_B}{F_e}\right) - \sin\left(n \frac{2\pi f_B}{F_e} + \phi_k\right) + \sin\left((n-1) \frac{2\pi f_B}{F_e} + \phi_k\right) \right\} \end{aligned}$$

On définit alors :

$$\beta_0 = -A \frac{\sin(\phi_k) - \sin\left(\phi_k - \frac{2\pi f_B}{F_e}\right)}{4\sin^2\left(\frac{\pi f_B}{F_e}\right)} = -A \frac{\cos\left(\frac{\pi f_B}{F_e} + \phi_k\right)}{2\sin\left(\frac{\pi f_B}{F_e}\right)}$$

et :

$$\beta_n = -A \frac{\sin\left(n \frac{2\pi f_B}{F_e} + \phi_k\right) - \sin\left((n-1) \frac{2\pi f_B}{F_e} + \phi_k\right)}{4\sin^2\left(\frac{\pi f_B}{F_e}\right)} = -A \frac{\cos\left(\left(n - \frac{1}{2}\right) \frac{2\pi f_B}{F_e} + \phi_k\right)}{2\sin\left(\frac{\pi f_B}{F_e}\right)}$$

pour un déphasage nul, on obtient :

$$\begin{aligned} \beta_0 &= -A \frac{\cos\left(\frac{\pi f_B}{F_e}\right)}{2\sin\left(\frac{\pi f_B}{F_e}\right)} \\ \text{et } \beta_n &= -A \frac{\cos\left(\left(n - \frac{1}{2}\right) \frac{2\pi f_B}{F_e}\right)}{2\sin\left(\frac{\pi f_B}{F_e}\right)} \end{aligned}$$

B2. Recherche des paramètres A1 et A2

Premier cas:

$$\begin{aligned} w_n &= w_0 + \beta_n - \beta_0 + n\mu_c - \sum_{j=0}^{n-1} q(w_j) \\ w_{n-1} &= w_0 + \beta_n - \beta_0 + (n-1)\mu_c - \sum_{j=0}^{n-2} q(w_j) \end{aligned}$$

Soit

$$w_{n-1} - w_n > 0$$

et

$$v_{\text{ref}} - u_c + A \sin\left(\frac{2(n-1)\pi f_B}{F_e}\right) > 0$$

$$\frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2(n-1)\pi f_B}{F_e}\right)} > A$$

On pose:

$$A_1(n) = \frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2(n-1)\pi f_B}{F_e}\right)}$$

alors

$$A_1(n) = \frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2(n-1)\pi f_B}{F_e}\right)} > A$$

Deuxième cas :

$$w_n = w_0 + \beta_n - \beta_0 + n u_c - \sum_{j=0}^{n-1} q(w_j)$$

$$w_{n+1} = w_0 + \beta_{n+1} - \beta_0 + (n+1) u_c - \sum_{j=0}^n q(w_j)$$

Soit

$$w_{n+1} - w_n > 0$$

et

$$-v_{\text{ref}} + u_c + A \sin\left(\frac{2n\pi f_B}{F_e}\right) > 0$$

$$\frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2n\pi f_B}{F_e}\right)} < A$$

On pose :

$$A_2(n) = \frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2n\pi f_B}{F_e}\right)}$$

alors :

$$A_2(n) = \frac{v_{\text{ref}} - u_c}{\sin\left(\frac{2n\pi f_B}{F_e}\right)} < A$$

B3. Calcul de la dynamique d'entrée

On pose :

$$w_M - w_0 = \beta_M - \beta_0 = V_{\text{ref}}$$

$$\text{et } M = F_e / 2f_B$$

soit :

$$\beta_0 = -A \frac{\cos\left(\frac{\pi f_B}{F_e}\right)}{2 \sin\left(\frac{2\pi f_B}{F_e}\right)} = -\frac{A}{2} \operatorname{tg}\left(\frac{\pi}{2M}\right)$$

$$\text{et } \beta_M = -A \frac{\cos\left(\left(M-\frac{1}{2}\right)\frac{2\pi f_B}{F_e}\right)}{2 \sin\left(\frac{2\pi f_B}{F_e}\right)} = \frac{A}{2} \operatorname{tg}\left(\frac{\pi}{2M}\right)$$

alors la différence devient :

$$\beta_M - \beta_0 = \frac{A}{2} \operatorname{tg}\left(\frac{\pi}{2M}\right) + \frac{A}{2} \operatorname{tg}\left(\frac{\pi}{2M}\right) = A \operatorname{tg}\left(\frac{\pi}{2M}\right)$$

$$\text{or } \beta_M - \beta_0 = V_{\text{ref}} \Leftrightarrow A_{\text{min}} = V_{\text{ref}} \operatorname{tg}\left(\frac{\pi}{2M}\right)$$

La dynamique d'entrée est égale à :

$$\frac{A_{\text{max}}}{A_{\text{min}}} = \frac{V_{\text{ref}}}{V_{\text{ref}} \operatorname{tg}\left(\frac{\pi}{2M}\right)} = \frac{1}{\operatorname{tg}\left(\frac{\pi}{2M}\right)}$$

Ce qui nous donne :

$$\text{dyn}_{\text{Ac}} = \frac{1}{\operatorname{tg}\left(\frac{\pi}{2M}\right)}$$

Annexe C

Les fichiers MATLAB du filtre décimateur

C.1 coeff-trunc.m

```
function y =coeff_trunc(h,q)
% -----
% -                               function y = coeff-trunc(h,q) -
% -                               -
% -                               Coefficient Quantization (truncating) -
% -                               The matrix y contains the quantized coefficients of matrix h -
% -                               q is the number of bits -
% -----

format long;
y= 0;
hh = h;
for j=1 : length(h) ,
    y(j)=0;
    if hh(j) <0, % estimate neg. coeff .
        hh(j)=(-1)*hh(j) ;
    end
    for i=0 : q,
        quant=2^i ;
        if hh(j)*quant>=1,
            y(j) = y(j) + 1/quant;
            hh(j) = hh(j) - 1/quant;
        else
            end
    end
    if h(j)<0,
        y(j)=(-1)*y(j) ;
    end %estimate neg. coeff.
end
end
```

C.2 Design-sinc3.m

```
% -----
% - function design-sinc3(D1,D2,K1,DEC,D3,D4,K2,N) -
% - Design of a 2 Stage Cascaded Comb Filter in Merged Form -
% -----
% - First Stage: -
% - D1 : K1-1 comb filter length-D1 -
% - D2 : one comb filter length-D2 -
% - K1 : filter order 1st stage -
% - DEC : decimation after 1st stage -
% -----
% - Second Stage: -
% - D3 : K2-1 comb filter length-D3 -
% - D4 : one comb filter length-D4 -
% - K2 : filter order 2nd stage -
% -----
% - N : Drder of the FIR Compensator -
% -----

% -----
% -                               Initialisation des constantes -
% -----

D1=8;
D2=8;
K1=5;
DEC=8;
D3=8;
D4=8;
```

```

K2=3;
N=645;

h=1000;
xmax = 1000*pi;
format long;
for t=1:h*pi,
    w=t/h-1/h;
    y(t)=1/D1^(K1-1)*(1/D2)*((sin(0.5*D1*w))^(K1-1)*sin(0.5*D2*w))/(sin(0.5*w))^K1;
    a(t)=t/(pi*h);
end;
y = abs(y');

% -----
% -          Tracé de la réponse en fréquence du premier filtre pigne monté en cascade          -
% -----

figure(1);
plot(a,20*log10(y));
axis([0 1 -180 20]);
grid;
xlabel('Frequences normalisées [/Omega]');
ylabel('Atténuation (dB)');

d_1=0;
d_2=D1;
d_3=0;
d_4=D2;
D_temp=D1;
if D_temp>9 ,
    d_1=fix(D1/10) ;
    d_2=D_temp-d_1*10;
end
D_temp=D2;
if D_temp>9,
    d_3=fix(D2/10) ;
    d_4=D_temp-d_3*10;
end

str = sprintf('Le filtre peigne fusionné d_1 = %g (1 - z^-^%g^%g)^%g (1 - z^-^%g^%g)',DEC,d_1,d_2,K1-1,d_3,d_4);
title(str);
line([2/D1 - 0.03125, 2/D1 - 0.03125],[-20, -200]);
line([2/D1 + 0.03125, 2/D1 + 0.03125],[-20, -200]);
line([2/D1, 2/D1 + 0.03125],[-22 -14]);
text(2/D1 + 0.03125, -10,'Bande bruitée');
line([0.03125, 0.03125],[0, -200]);
line([0.028, 0.04125],[1 4]);
texte(0.03125, 10,'Chute de la bande passante');
pause;

% -----
% -          Détermination du comportement fréquentiel après Décimation          -
% -----

h=1000;
for t=1:h*pi,
    w=(t/h-1/h)/(DEC/2);
    y(t)=1/D1^(K1-1)*(1/D2)*((sin(0.5*D1*w))^(K1-1)*sin(0.5*D2*w))/(sin(0.5*w))^K1;
    a(t)=t/(pi*h);
end;
figure(2);
plot(a,20*log10(y));
str = sprintf('Le filtre peigne fusionné D_1 = %g (1 - Z^-^%g^%g)^%g (1 - Z^-^%g^%g) après Décimation',DEC,d_1,d_2,K1-1,d_3,d_4);
axis([0 1 -180 20]);
xlabel('Fréquences normalisées [\Omega]');
ylabel('Attenuation (dB)');
grid;
title(str);
pause;

% -----

```

```

% - Détermination du comportement fréquentiel du second filtre peigne -
% -----

h=1000;
ws = 1/4;
cnt = 0;
for t=1:h*pi,
    w=t/h-1/h;
    y2(t)=1/D3^(K2-1)*(1/D4) * ((sin(0.5*D3*w))^(K2-1)*sin(0.5*D4*w))/(sin(0.5*w))^(K2);
    a(t)=t/(pi*h);
    if t>(ws*h*pi),
        m(t) = 1-yold;
    else
        m(t) = 1-y(t)*y2(t);
        yold = y(t)*y2(t);
    end
end;
y = abs(y');
y2 = abs(y2');
r=20*log10(y2'./y); % Comportement fréquentiel composé en dB

% -----
% - Tracé de la réponse en fréquence des deux filtres peignes -
% -----

figure(3);
plot(a,r);

axis([0 1 -180 20]);
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Atténuation (dB)');
str = sprintf('La réponse en fréquence composée D_1 = %g, D_2 = %g, (length-%g/-%g)^(%g- (length-%g/-%g)^(%g Comb Filter',DEC,64/DEC,D1,D2,K1,D3,D4,K2);
title(str);
pause;

% -----
% - La réponse en fréquences du RIF compensateur -
% -----

firfreq=zeros(1,length(r));
for t=1:xmax/4,
    if r(t)<-80,
        firfreq(t) = -rold;
        firfreq(fix((xmax/2)-t)) = -rold;
    else
        firfreq(t) = -r(t);
        firfreq(fix((xmax/2)-t)) = -r(t);
        rold = r(t);
    end
end;

% -----
% - Détermination de la réponse désirée du filtre de compensation -
% -----

for t=1 : fix (xmax) ,
    if t<fix(0.25*xmax)
        val(t)=10^(firfreq(t)/20) ;
    else
        val(t)= 1;
    end
    valres(t)=t/xmax;
end
valres(1) = 0;
valres(t) = 1;

% -----
% - tracé de la réponse désirée en fréquences du RIF Compensateur - %
% -----

plot (a,firfreq) ;
axis([0 1 -2 100]);

```

```

grid;
hold;

% -----
% -Génération des coefficients du filtre et la réponse en fréquences du RIF compensateur
% -----

format long;
b=fir2(N,valres,val,chebwin(N+1,400));
[h_fir,w_fir]=freqz(b, 1 ,3141) ;
h_fir=abs(h_fir');

% -----
% -          tracé de la réponse du filtre en dB comparée avec la réponse désirée          -
% -----

figure(4);
plot(w_fir/pi,20*log10(h_fir));
xlabel('Fréquences normalisées [\Omega]');
ylabel('Atténuation (dB)');
str = sprintf('La réponse en fréquences du filtre compensateur comparée avec la réponse
désirée, N_F_I_R = %g',N);
title(str);
axis([0 1 -5 85]);
hold;
pause

% -----
% -          tracé de réponse en fréquence totale          -
% -----

figure(5);
plot(a,r,w_fir/pi,20*log10(h_fir));
axis([0 1 -180 80]);
grid;
str = sprintf('La réponse en fréquences du filtre peigne-FIR vs filtre FIR Compensateur,
N_F_I_R = %g',N);
title(str);
xlabel('Fréquences normalisées [\Omega]');
ylabel('Atténuation (dB)');

new=zeros(1,fix(xmax));
for t=4:xmax/4
    new(t) = h_fir(fix(t*4));
    new(fix((xmax/2)-t)) = new(t);
end
pause;
figure(6);
plot(a,r+20*log10(h_fir));
xlabel('Fréquences normalisées [\Omega]');
ylabel('Atténuation (dB)');
str = sprintf('La réponse en fréquence totale des filtres peignes-FIR montés en Cascade,
N_F_I_R = %g',N);
title(str);
grid;
axis([0 1 -180 20]);

```

C.3 Design-sinc2shcomp.m

```

% -----
% -          function design_sinc2shcomp(K,D,N-31,N-32)          -
% -          Design of a one Sharpened Comb Filter with subsequently FIR Compensator.          -
% -          K = Order of Comb Filter          -
% -          D = Decimation Ratio          -
% -          N_31 = Order of FIR Compensator          -
% -          N_32 = Order of second FIR Filter          -
% -----

format long;
ws=0.015625 % 1/64 pass band frequency of 8192Hz normalized to 1(=512KHz)
h=1000;
cnt=0;
D=16;
K=3;
N_31=46;

```

```

N_32=125;
N=800;

xmax = fix(h*pi);
for t=1:xmax,
    w=t/h;
    y(t)=3*(sin(0.5*D*w)/(D*sin(0.5*w)))^(2*K) - 2*(sin(0.5*D*w)/(D*sin(0.5*w)))^(3*K);
    a(t)=t/(pi*h); % frequency vector for the comb filter
    if t>fix(ws*xmax),
        m(t)=0.1;
    else
        m(t)=2-y(t);
        yold = y(t);
    end
end
y = abs (y');
m(1) = 1;
a(1) = 0;
a(length(a))=1;

% -----
% -           Frequency and Magnitude for the coefficient determination           -
% -----

cnt=0;
for t=1:xmax,
    w=t/(h*2*D);
    yq(t)=3*((sin(0.5*D*w)/(D*sin(0.5*w)))^(2*K)-2*((sin(0.5*D*w)/(D*sin(0.5*w)))^(3*K);
    if t>fix(0.6*xmax) ,
        cnt=cnt+1;
        if cnt<15,
            p(t) = 2-yold;
        else
            p(t) = 0.1;
        end
    else p(t) = 2-yq(t);
        yold = yq(t);
    end
end
% -----
% -           Plot Filter Response passband region           -
% -----

plot(2*D*a,20*log10(abs(m))); % desired FIR Filter
grid;
hold;
plot(2*D*a,20*log10(abs(y))); % Comb Filter
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');

axis([0 1 -3 0.5]);
%line( [1/32, 1/32] , [10, -200] ) ;
title('Perte en Atténuation - Sharpened Comb vs FIR Compensateur désiré');
hold;
pause;

% -----
% -           Generate Filter Coefficients and Frequency           -
% -           Response for the FIR Compensator H-31(z)           -
% -----

b_31=fir2(N_31,a,p,chebwin(N_31+1,70));

% Generate quantized coefficients

qu = 13;
b_31quant = coeff_trunc(b_31,qu);

% Determine Frequency Behavior

[h_31 , w_31] =freqz (b_31 , 1 , 8192); %floating point arithmetic
h_31=abs(h_31');
[d_31 , i_31] =freqz (b_31quant , 1 , 8192) ; % quantized coefficients d_31=abs(d-31');

% -----
% -           Plot FIR Filter Response (Floating Point)           -
% -----

```

```

% -----
plot(w_31/pi,20*log10(h_31)); %h
hold;
plot(2*D*a,20*log10(abs(m))); % desired FIR Filter
% plot(a,20*log10(abs(p'))); % Comb Filter
hold;
axis ( [0 1 -25 2] );
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf('Filtre de Compensation FIR , D_2 = %g, N_3_1 = %g', 64/(2*D) , N_31) ;
title(str);
pause

% -----
% - Generate Filter Coefficients and Frequency -
% - Response for H_32 -
% -----

b_32=remez ( N_32 , [0 0.5 0.55 1] , [1 1 0 0] ) ;

% Generate quantized coefficients
b_32quant = coeff_trunc(b_32,qu);
dlmwrite('Mes documents/chiheb/temp1.dat',b_32quant,'\n');

% Determine Frequency Behavior
[h_32 , w_32] =freqz (b_32 , 1 , 8192) ; % floating point arithmetic
h_32=abs(h_32');
[d_32 , i_32] =freqz (b_32quant , 1 , 8192) ; % quantized coefficients
d_32=abs(d_32');

% -----
% - Plot FIR Filter Response H-32(z) (Floating Point) -
% -----

plot(w_32/pi,20*log10(h_32));
axis ( [0 1 -140 20] );
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf('Le 2ème filtre FIR H_3_2(z) élaboré avec Remez Exchange Algorithm , D_2 = %g, N_3_2 = %g', 64/(2*D) , N_32) ;
title(str);
pause;
plot(w_32/pi,20*log10(h_32)+20*log10(h_31));
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf(' Response en fréquences Composés du H_3(z)');
title(str);
axis ( [0 1 -140 20] );
pause;

% -----
% - Plot frequency response (Quantized) -
% -----

%chi1=length(d_31);
%chi2=length(d_32);
%if chi1>chi2,
%   chi=chi1;
%else chi=chi2;
%   chitab=zeros(1,chi);
%end;
%for x=1:chi,
%   chitab(=d_31+d_32;
plot(i_32/pi,(20*log10(d_32)));
grid;
axis([0 1 -140 20]);
xlabel('Fréquences normalisées ');
ylabel('Repense en Amplitude (dB)')
str = sprintf('Réponse en fréquences du H_3_2(z) avec des Coefficients Quantifiés %g Bit , N_3_2 = %g', qu , N_32) ;
title(str);
pause;
% -----

```

```

% - Generate filter coefficients and frequency response for the FIR compensator overall frequency range -
% -----

b=fir2(N,a,m,chebwin(N+1,70));
bquant = coeff_trunc(b,qu);
%[h,w]=freqz(bquant,1,length(y)); % use for quantized coefficients
[h,w]=freqz(b,1,length(y)); % use for floating point arithmetic
h=abs(h');

%-----
% Plot FIR Filter Frequency Response
% -----

plot(w/pi,20*log10(h));
axis([0 1 -120 20]);
grid
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf('Filtre de Compensation FIR, D_2 =%g, N =%g',64/(2*D),N);
line([0.015625, 0.015625], [10, -200]);
title(str);
pause

hold;

% -----
% - Plot Comb Filter Frequency Response -
% -----

plot(a,20*log10(y)); axis([0 1 -160 20]);
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str = sprintf('Le filtre Sharpened-Comb 3H(z)^2^K - 2H(z)^3^K, K =%g, D =%g',K,D);
title(str);
line([2/D - 0.015625, 2/D - 0.015625],[-10, -200]);
line([2/D + 0.015625, 2/D + 0.015625],[-10, -200]);
line([2/D,2/D + 0.03125],[-10, 2]);
text(2/D + 0.015625, 5,'bande bruitée');
hold;
pause;

% -----
% - Plot Overall Response -
% -----

plot(a,20*log10(y'.*h));
axis([0 1 -160 20]);
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str = sprintf('La réponse en amplitude totale du filtre FIR(N=%g)-Sharp. Comb 3H(z)^2^K - 2H(z)^3^K, K =%g, D =%g',N,K,D);
title(str);
line([2/D - 0.015625, 2/D - 0.015625],[-10, -200]);
line([2/D + 0.015625, 2/D + 0.015625],[-10, -200]);
line([2/D,2/D + 0.03125],[-10, 2]);
text(2/D + 0.03125,5,'bande bruitée');
line([0.015625, 0.015625],[10,-200]);

```

C.4 Design-hbfir.m

```

% =====
% = function design_hbfir(qu,order) =
% = Half-Band FIR Filter Design =
% =====
% = qu : Coefficient Quantization =
% = order : Order of the Half-Band Filter =
% = order- 1 =
% = Number of Multiplier: M = -----
% = 2 =

```

```
% = Frequency Breakpoints, normalized to 1 (overall freq. range of the LPF) =
% =
% = F: frequency breakpoints [passband stopband cutoff] =
% = To compute the coefficients for the half-band filter compose =
% = a lowpass filter f followed by shifted up by adding a constant =
% = equal to unity. =
% = A : magnitude breakpoints =
% =====

fs = 0.42;%0.25;
fp = 0.58;%0.75;
F = [0 fs fp 1] ;
A = [1 1 0 0] ;
order= 38;
qu=13;
format long;

% =====
% The Half-Band Filter Design
% Generate the filter coefficients
% =====

%b = fir2(order,F,A,chebwin(order+1,100));
b = remez(order,F,A);
bq = zeros(1,2*order+1);
bq(1) = b(1);
for t=1:order,
    bq(t*2+1)=b(t+1);
end
bq(fix(order+1))=0.5;
dlmwrite('/Mes documents/design_hbfirq.dat',bq,'\n');

% Determine Frequency Behaviour
[d2,i] =freqz (bq,1,4096) ;

% Plot frequency reponse
plot(i/pi,20*log10(abs(d2)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Reponse en Amplitude (dB)')
title(' La synthèse du filtre demi bande (FIR) avec Remez Exchange Algorithm');
str = sprintf(' N = %g f_s = %g f_p = %g',order,fs/2,fp/2);
text(0.8,str);
axis([0 0.5 -160 20]);
pause;

% Plot Coefficients
y=bq; % plot Coefficients
for j=1:length(bq),
    y(j)=j;
end

clf ;
plot(y,bq,'o');
grid;
axis([0 2*order+4 -0.2 0.6]);
xlabel('Coefficients')
ylabel('Valeur')
str=sprintf (' La réponse impulsionnelle h (n) du filtre dmi bande d ordre N = %g' ,
2*order) ;
title(str);
pause;

% The LowPass Filter Design
% Generate the filter coefficients

format long;
%b = fir2(order,F,A)
%b = fir2(order,F,A,chebwin(order+1,100))
b = remez(order,F,A);
dlmwrite('/Mes documents/chiheb/design-hbfir3.dat',b,'\n');

% Generate quantized coefficients
bquant = coeff_trunc(b,qu);

% Determine Frequency Behaviour
[d, i]=freqz(b, i , 4096) ;
```

```

h=b; % plot Coefficients
for j=1:length(b),
h(j)=j;
end
% Plot Coefficients
clf ;
plot(h,b);
grid;
axis([0 order+2 -0.2 0.6]);
pause;

% Plot frequency response
plot(i/(2*pi),20*log10(abs(d)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Reponse en Amplitude (dB)')
title('La synthèse du filtre demi bande (FIR) avec Remez Exchange Algorithm');
str = sprintf(' N = %g f_s = %g f_p = %g' ,2*order,fs/2,fp/2) ;
text(0,8,str);
axis([0 0.5 -160 20]);
pause;

% Plot frequency response with bquant
[d2, i]=freqz(bquant, 1,8192) ;
plot(i/pi,20*log10(abs(d2)));
grid;
axis([0 1 -180 20]);
xlabel('Fréquences normalisées [\Omega]')
ylabel('Reponse en Amplitude (dB)')
str = sprintf(' N = %g f_s = %g f_p = %g' ,order,fs,fp) ;
text(0,8,str);
str = sprintf('La synthèse du filtre demi bande (FIR) avec Remez Exchange Algorithm et Coefficients quantifiés en q=%gbit (truncature)',qu);
title(str);

```

C.5 Design-structure-finale.m

```

% =====
% - fonction design (K,D,N,qu) -
% - Sonia Boujelben -
% - Labo. IXL, (1999/2000) -
% -----
% - Premier Etage: -
% - Design d'un filtre Sharpened Comb avec un filtre RIF de compensation -
% - K = Ordre du filtre peigne -
% - D = facteur de Décimation -
% - N = Order of FIR Compensateur -
% -----
% - Deuxieme Etage: -
% - Design de trois filtres demi-bandes -
% - ordre = ordre du filtre demi-bande -
% - qu = nbre de bits de quantification -
% - fs,fp = Frequency Braekpoints, normalized to 1 (overall freq. range of the LPF) -
% - F: Vecteur des points de coupure des frequences [passband stopband cutoff] -
% - To compute the coefficients for the half-band filter compose -
% - a lowpass filter f ollowed by shifted up by adding a constant -
% - equal to unity. -
% - A : Vecteur des points de coupure de l'amplitude -
% =====

format long;
ws=0.015625;
wsd=0.125;
h=1000;
qu=13;
cnt=0;
D=16;
K=3;
N=40;

% =====
% = Premier Etage =
% =====

xmax = fix(h*pi);

```



```

for t=1:xmax,
    w=t/h;
    y(t)=(sin(0.5*D*w)/(D*sin(0.5*w)))^(K);
    a(t)=t/(pi*h); % vecteur de frequence
    if t>fix(ws*xmax),
        m(t)=0.1;
    else
        m(t)=2-y(t);
        yold = y(t);
    end
end
y = abs (y');
m(1) = 1;
a(1) = 0;
a(length(a))=1;

% -----
% -                               Tracé de réponse du filtre sharp. comb                               -
% -----

plot(a,20*log10(abs(m))); % desired FIR Filter
grid;
hold;
plot(a,20*log10(abs(y))); % Comb Filter
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');

%axis([0 0.07 -3 0.5]);

axis([0 1 -200 0.5]);
%line( [1/32, 1/32] , [10, -200] );
title('Perte en Atténuation - filtre Sinc vs FIR Compensateur désiré');
hold;
pause;

% -----
% -                               Détermination du comportement fréquentiel après Décimation                               -
% -----

h=1000;
for t=1:fix(h*pi),
    w=(t/h)/(D/2);
    yd(t)=(sin(0.5*D*w)/(D*sin(0.5*w)))^(K);
    a1(t)=t/(pi*h);
    if t>fix(0.2*h*pi),
        cnt=cnt+1;
        if cnt<40,
            md(t)=mdold;
        else
            md(t)=0.8;
        end
    else
        md(t)=(2-yd(t));
        mdold=md(t);
    end
end;
md(1) = 1;
a1(1) = 0;
a1(length(a1))=1;

% -----
% -                               Tracé de réponse du filtre sharp. comb après décimation                               -
% -----

figure(2);
plot(a1,20*log10(abs(md)));
grid;
hold;
plot(a1,20*log10(abs(yd))); % desired FIR Filter
xlabel('Fréquences normalisées [\Omega]');
ylabel('Atténuation (dB)');
axis([0 1 -4 2]);
str = sprintf ('Le filtre Sinc après Décimation' );
title(str);
hold;
pause;

```

```

% -----
% - Génération des Coefficients du filtre Compensateur -
% - et sa Réponse en fréquences -
% -----

b=fir2(N,a1,md,chebwin(N+1,70));

% Generate quantized coefficients

bquant = coeff_trunc(b,qu);

% Determine Frequency Behavior

[h , w] =freqz (b , 1 , xmax); %floating point arithmetic
h=abs(h');
[d , i] =freqz (bquant , 1 , xmax) ; % quantized coefficients
d=abs(d');
dlmwrite('/Mes documents/filtrecomp_dbl.dat',b,'\n');
dlmwrite('/Mes documents/filtrecomp_fix.dat',bquant,'\n');

% -----
% - Plot FIR Filter Response (Floating Point) -
% -----

figure(3);
plot(w/pi,20*log10(h));
%plot(i/pi,20*log10(d));
hold;
plot(D*a/2,20*log10(abs(m))); % desired FIR Filter
hold;
axis ( [0 0.5 -4 2] ) ;
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf ('Filtre de Compensation FIR , d ordre N = %g' ,N) ;
title(str);
pause ;

% -----
% - tracé de la réponse du sharp. comb compensé -
% -----

figure(4);
yd=abs(yd');
r=(h'.*yd);
%r=(d'.*yd);
plot(w/pi,20*log10(r));
hold;
axis ( [0 1 -120 20] ) ;
grid;
xlabel('Fréquences normalisées [\Omega]');
ylabel('Amplitude (dB)');
str=sprintf ('la reponse totale du Sinc compensé' ) ;
title(str);
pause ;

% =====
% = Deuxième Etage =
% =====

A = [1 1 0 0] ;

% -----
% - Le Design du filtre HB1 -
% - et la Génération de ses coefficients -
% -----

fs1 = 0.25;
fp1 = 0.75;
F1 = [0 fs1 fp1 1] ;
ordre1=26;
qu=13;

%b = fir2(order,F,A,chebwin(order+1,100));
b1 = remez(ordre1,F1,A);
bq1 = zeros(1,2*ordre1+1);

```

```

bq1(1) = b1(1);
for t=1:ordrel,
    bq1(t*2+1)=b1(t+1);
end
bq1(fix(ordrel+1))=0.5;
dlmwrite('Mes documents/Half_Band1_dbl.dat',bq1,'\n');
bquant1 = coeff_trunc(bq1,qu);
dlmwrite('Mes documents/Half_Band1_fix.dat',bquant1,'\n');

% -----
% - Détermination et traçage du comportement fréquentiel du 1er filtre HB1 -
% -----

[d1,i] =freqz (bquant1,1,xmax) ;

figure(5);
plot(i/pi,20*log10(abs(d1)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Réponse en Amplitude (dB)')
title(' La synthèse du filtre demi bande (FIR) avec Remez Exchange Algorithm');
str = sprintf(' N = %g f_s = %g f_p = %g',ordrel,fs1/2,fp1/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

d1=abs(d1');
r1=(d1'.*r);
figure(6);
plot(i/pi,20*log10(abs(r1)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Réponse en Amplitude (dB)')
title(' réponse en fréquences composées après le filtre demi bande 1 ');
str = sprintf(' N = %g f_s = %g f_p = %g',ordrel,fs1/2,fp1/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

% -----
% - Normalisation du comportement fréquentiel du filtre après HB1 -
% - par rapport à la fréquence de Nyquist -
% -----

r11=zeros(1,fix(xmax/2));
for t=1:fix(xmax/2),
    r11(t)=r1(t);
end;

for t=1:fix(xmax/2),
    i1(t)=2*i(t);
end;
plot(i1/pi,20*log10(abs(r11)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Réponse en Amplitude (dB)')
title(' réponse en fréquences composées et normalisées après le filtre demi bande 1 ');
str = sprintf(' N = %g f_s = %g f_p = %g',ordrel,fs1/2,fp1/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

% -----
% - Le Design du filtre HB2 -
% - et la Génération de ses coefficients -
% -----

fs2 = 0.42;
fp2 = 0.58;
F2 = [0 fs2 fp2 1] ;
ordre2=38;
qu=13;

%b = fir2(order,F,A,chebwin(order+1,100));
b2 = remez(ordre2,F2,A);
bq2 = zeros(1,2*ordre2+1);
bq2(1) = b2(1);

```

```

for t=1:ordre2,
    bq2(t*2+1)=b2(t+1);
end
bq2(fix(ordre2+1))=0.5;
dlmwrite('/Mes documents/Half_Band2_dbl.dat',bq2,'\n');
bquant2 = coeff_trunc(bq2,qu);
dlmwrite('/Mes documents/Half_Band2_fix.dat',bquant2,'\n');

% -----
% - Détermination et traçage du comportement fréquentiel du 2eme filtre HB2 -
% -----

[d2,i2] =freqz (bq2,1,fix(xmax/2)) ;

figure(7);
plot(i2/pi,20*log10(abs(d2)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Reponse en Amplitude (dB)')
title(' La synthèse du filtre demi bande 2 (FIR) avec Remez Exchange Algorithm');
str = sprintf(' N = %g f_s = %g f_p = %g',ordre2,fs2/2,fp2/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

r11=abs(r11');
d2=abs(d2');
r2=(d2'.*r11);
figure(8);
plot(i2/pi,20*log10(abs(r2)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Réponse en Amplitude (dB)')
title(' réponse en fréquences composées après le filtre demi bande 2 ');
str = sprintf(' N = %g f_s = %g f_p = %g',ordre2,fs2/2,fp2/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

% -----
% - Normalisation du comportement fréquentiel du filtre après HB2 -
% - par rapport à la fréquence de Nyquist -
% -----

for t=1:fix(xmax/4),
    i3(t)=2*i2(t);
end;

r22=zeros(1,fix(xmax/4));
for t=1:fix(xmax/4),
    r22(t)=r2(t);
end;

plot(i3/pi,20*log10(abs(r22)));
grid;
xlabel('Fréquences normalisées [\Omega]')
ylabel('Réponse en Amplitude (dB)')
title('réponse en fréquences composées et normalisées après le filtre demi bande 2 ');
str = sprintf(' N = %g f_s = %g f_p = %g',ordre2,fs2/2,fp2/2);
text(0,8,str);
axis([0 1 -160 20]);
pause;

```


Résumé : La cellule mémoire S^2I de courant peut être considérée comme un opérateur réalisant les fonctions d'inversion, de sommation et de retard. En se basant sur cet opérateur, il est possible de développer des architectures de circuits élémentaires (intégrateur...). Le but de notre travail est de réaliser un modulateur $\Sigma\Delta$ d'ordre deux à base d'une nouvelle architecture d'intégrateur différentiel doublement échantillonné, S^2I . Dans un premier temps, on a modélisé la cellule mémoire S^2I . La finalité du travail consiste à déterminer un modèle permettant d'étudier le comportement du modulateur $\Sigma\Delta$. Ensuite, on a intégré le modulateur sur le silicium en technologie AMS 0.6 μ m triple niveau de métal. Puis, les diverses mesures expérimentales ont été réalisées avec le système de caractérisation CANTEST. Dans une seconde étape, on a conçu la chaîne de décimation qui permet de restituer le signal délivré par le modulateur sur 13 bits à une fréquence proche de Nyquist. La simulation du filtre de décimation a été réalisée avec MATLAB puis sur le logiciel SPW (Signal Processing Workstation) qui est un outil de conception de système, le code VHDL est généré par compilation. La troisième partie de la thèse, consiste à tester toute la chaîne de conversion analogique numérique en rassemblant le modulateur et le filtre décimateur.

Mots clés :

- Cellule mémoire S^2I
- Courant commutés
- Modulateur $\Sigma\Delta$
- Filtre numérique décimateur
- Convertisseur Analogique Numérique (CAN)

Abstract: The two step current cell memory can be considered as an operator fulfilling the functions of inversion, summation and delay. While using this operator, it is possible to develop basic circuit architectures (integrator). The object of our work is to design a second order Sigma Delta modulator. This modulator is based on a new differential integrator S^2I . First, we had modelled the cell memory S^2I . The finality of this work is to determine a model allowing the behavior of the Sigma Delta modulator. Then, we integrated the modulator on silicon in technology AMS 0.6 μ m triple level of metal. Then, various experimental measurements were carried out with using characterization system CANTEST. Secondly, we designed the chain of decimation which restore the signal delivered by the modulator (bitstream) on 13 bits at a frequency close to Nyquist. The simulation of the decimation filter is realized with MATLAB then on software SPW (Signal Processing Workstation) which is a tool of fixed point system design, the VHDL code is generated by compilation. The third part of the thesis, consists in testing all the chain of analogue to digital conversion by gathering the modulator and the decimation filter.

Key words:

- Two step memory cell
- Switched current
- $\Sigma\Delta$ modulator
- Decimation filter
- Analogue to Digital Converter (ADC)